

28 JUN 2004

(19) 世界知的所有權機關
國際事務局



(43) 国際公開日
2003 年 7 月 24 日 (24.07.2003)

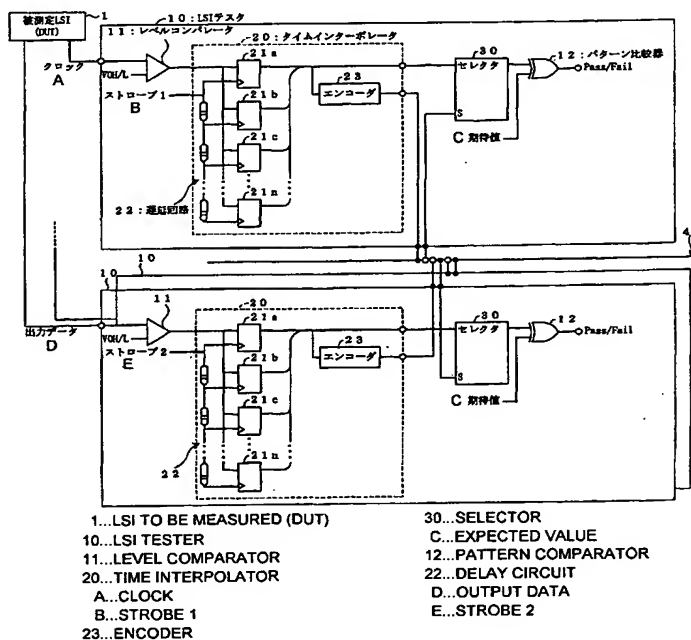
PCT

(10) 国際公開番号
WO 03/060533 A1

- | | | | |
|-----------------------------|--|--------------------------|--|
| (51) 国際特許分類 ⁷ : | G01R 31/28 | (72) 発明者; および | |
| (21) 国際出願番号: | PCT/JP03/00120 | (75) 発明者/出願人 (米国についてのみ): | 寒竹 秀介 (KAN-TAKE, Shuusuke) [JP/JP]; 〒179-0071 東京都 練馬区 旭町 1 丁目 3 2 番 1 号 株式会社アドバンテスト内 Tokyo (JP). |
| (22) 国際出願日: | 2003 年1 月9 日 (09.01.2003) | | |
| (25) 国際出願の言語: | 日本語 | (74) 代理人: | 渡辺 喜平 (WATANABE, Kihei); 〒101-0041 東京都 千代田区 神田須田町一丁目 2 6 番 芝信神田ビル 3 階 Tokyo (JP). |
| (26) 国際公開の言語: | 日本語 | | |
| (30) 優先権データ: | | (81) 指定国 (国内): | DE, JP, US. |
| 特願2002-003866 | 2002 年1 月10 日 (10.01.2002) | JP | 添付公開書類:
— 国際調査報告書 |
| (71) 出願人 (米国を除く全ての指定国について): | 株式会社アドバンテスト (ADVANTEST CORPORATION) [JP/JP]; 〒179-0071 東京都 練馬区 旭町 1 丁目 3 2 番 1 号 Tokyo (JP). | | |
| | 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。 | | |

(54) Title: DEVICE FOR TESTING LSI TO BE MEASURED, JITTER ANALYZER, AND PHASE DIFFERENCE DETECTOR

(54) 発明の名称: 被測定 L S I の試験装置, ジッタアナライザ及び位相差検出器



(57) Abstract: An LSI tester (testing device) can acquire output data of an LSI to be measured by a clock signal output from the LSI to be measured and acquire measurement data synchronously with the output data having jitter. The LSI tester (10) includes a clock side time interpolator (20) for acquiring the clock

〔統葉有〕

WO 03/060533 A1



output from the LSI (1) to be measured by a plurality of strobes having a predetermined timing interval and outputting it as encoded level data of time series, a data side time interpolator (20) for acquiring the output data output from the LSI (1) to be measured by a plurality of strobes having a predetermined timing interval and outputting it as level data of time series, and a selector (30) for receiving the level data from both of the time interpolators, selecting output data at the clock edge timing, and outputting it as data to be measured.

(57) 要約:

被測定LSIの出力データを被測定LSIから出力されるクロック信号によって取得し、ジッタのある出力データに同調して測定データを取り込むことができるLSIテスト（試験装置）である。LSIテスト10は、被測定LSI1から出力されるクロックを一定のタイミング間隔を有する複数のストロブによって取得し、符号化された時系列のレベルデータとして出力するクロック側タイムインターポレータ20と、被測定LSI1から出力される出力データを一定のタイミング間隔を有する複数のストロブによって取得して時系列のレベルデータとして出力するデータ側タイムインターポレータ20と、両タイムインターポレータ20からのレベルデータを入力し、クロックのエッジタイミングで出力データを選択して被測定データとして出力するセレクト30とを備えている。

明 細 書

被測定 L S I の試験装置、ジッタアナライザ及び位相差検出器

5 技術分野

この発明は、被測定 L S I から出力される出力データを所定の期待値データと比較して、当該被測定 L S I の良否を判定する機能試験用の試験装置と、機能試験対象となる被測定 L S I のクロック又は出力データのジッタを解析するジッタアナライザ及び被測定 L S I のクロックと出力データの位相差を検出する位相差

10 検出器に関する。

特に、被測定 L S I から出力されるクロック及び出力データを時系列のレベルデータとして取得できるソースシンクロナス回路を備えることにより、被測定 L S I の出力データを取り込むタイミング信号として、当該被測定 L S I から出力されるクロック信号を用いることができ、出力データをジッタに同調した信号変
15 化点で取り込むことができ、ジッタに左右されることなく正確な試験結果を得られる、例えばデータレートが 1 G H z を超える高速 L S I の機能試験に好適な試験装置に関する。

また、ソースシンクロナス回路により被測定 L S I のクロック及び出力データを示す時系列のレベルデータを取得することによって、被測定 L S I のジッタ解
20 析及びジッタによるクロックと出力データの位相差の検出を、容易かつ確実に行えるようにした被測定 L S I のジッタアナライザ及び位相差検出器に関する。

背景技術

一般に、L S I の機能試験を行う試験装置（以下「L S I テスタ」と言う）は、
25 被試験対象（DUT : Device Under Test）となる被測定 L S I に所定の試験パターン信号を入力し、当該被測定 L S I から出力される出力データを所定の期待値パターン信号と比較して、その一致、不一致を判定することにより、当該被測定 L S I の良否を検出、判定するようになっている。

以下、第 10 図を参照して従来の被測定 L S I の試験装置について説明する。

30 第 10 図は、従来の被測定 L S I の試験装置の構成を示すブロック図である。

同図に示すように、従来のLSIテスト110は、被測定LSI101の出力データを比較電圧とレベル比較するレベルコンパレータ111と、被測定LSI101の出力データを所定の期待値と比較するパターン比較器112、及び被測定LSI101の出力データを所定のタイミングでパターン比較器112に入力するためのフリップ・フロップ121を有するLSIテスト110を備えている。

このような構成からなる従来の被測定LSIの試験装置では、まず、図示しないパターン発生器から被測定LSI101に所定の試験パターン信号が入力され、被測定LSI101から所定の信号が出力データとして出力される。

被測定LSI101から出力された出力データは、LSIテスト110のレベルコンパレータ111に入力される。レベルコンパレータ111に入力された出力データは、比較電圧とレベル比較され、フリップ・フロップ121に出力される。フリップ・フロップ121では、レベルコンパレータ111からの信号が入力データとして保持され、図示しないタイミング発生器からのストローブをクロック信号として、所定のタイミングで出力データが出力される。

フリップ・フロップ121から出力された出力データは、パターン比較器112に入力され、テスト内のパターン発生器から出力される所定の期待値データと比較され、比較結果が出力される。そして、この比較結果により、出力データと期待値との一致、不一致が検出され、被測定LSI101の良否(Pass/Fail)の判定が行われるようになっている。

20

このように、従来のLSIテストでは、被測定LSIから出力される出力データは、テスト内部で予め定められたタイミングで出力されるストローブのタイミングで取得されるようになっており、このストローブの出力タイミングは固定されていた。ところが、被測定LSIの出力データはジッタ（タイミングの不規則な揺らぎ）を有しているため、固定されたストローブのタイミングで取得される出力データは、同一データであってもその値が一定せず、正確な試験結果が得られないという問題が生じた。

第11図を参照して、このようなジッタによる取得データの変動を説明する。同図(a)に示すように、被測定LSIの出力データはある範囲の幅でジッタを有しており、このジッタ幅の分だけ出力データは変化点（立上がりエッジ又は立

30

下がりエッジ) がずれることになる。従って、このようなジッタを有する出力データを固定ストロブで取り込むと、同図 (b) に示すように、例えば、「出力データ 1」 (第 11 図 (a)) の場合には取得データは “H” となるが、「出力データ 2」 (第 11 図 (b)) の場合には “L” となってしまう。

- 5 このため、固定ストロブによって出力データを取得する従来の試験装置では、本来同一であるデータがジッタの影響によって変動してしまい、正確な試験、判定が困難となるという問題が発生した。特に、高速化された L S I の場合、このようなジッタの影響が顕著であった。

- 10 なお、従来から、このような被測定 L S I のジッタを計測、解析するため、被測定 L S I の出力データをオシロスコープ等のジッタ測定器によって複数回計測し、その計測結果に基づいてジッタ量やジッタの分布等の解析が行われている。しかしながら、従来のジッタ測定器を用いたジッタ解析では、オシロスコープ等の操作に誤差が生じるおそれがあり、精度の高いジッタ解析が困難となる上、多数のデータを取得、測定する作業が煩雑で、ジッタ解析に時間と労力がかかると
- 15 という問題が指摘されていた。特に、高速化された L S I の場合、このようなジッタ解析の困難性が顕著であった。

- ところで、近年は L S I の高速化の進展が著しく、データ転送の高速化を図る次世代入出力インターフェースとして注目される「RapidIO」 (登録商標) や
- 20 「HyperTransport」 (登録商標) 等を使用した、より高速処理が可能な L S I が開発されている (例えば I B M 社製の次期「PowerPC」 (登録商標) 向け C P U 等)。そして、この種の L S I では、L S I 自体がクロック信号を出力する構成が採られている。その他、伝送線路となるバス・システムを従来の P C I バスから上述の「RapidIO」に変換するためのブリッジ L S I 等においても、L S
- 25 I 自体がクロック信号を出力する構成となっている。

- 本願発明者は、鋭意研究の末、このように L S I 自体からクロック信号が出力される L S I の機能試験を行う場合に、L S I から出力されるクロックのタイミングで出力データを取得できれば、第 11 図に示したようなジッタの影響による取得データの変動を解消し得ることに想到した。さらに、L S I から出力される
- 30 クロックのタイミングで出力データを取得できる回路を用いることにより、当該

L S I のジッタ解析を行うことも可能となり、しかも、L S I から出力されるクロックと出力データのジッタによる位相差も検出し得ることに想到した。

すなわち、本発明は、以上のような従来の技術が有する問題を解決するために提案されたものであり、被測定 L S I から出力されるクロック及び出力データを時系列のレベルデータとして出力するソースシンクロナス回路を備えることにより、被測定 L S I の出力データを取得するタイミング信号として、当該被測定 L S I から出力されるクロック信号を用いることができ、出力データをジッタに同調した信号変化点で取り込むことが可能となり、ジッタに左右されることなく正確な試験結果が得られる、特に、例えばデータレートが 1 G H z を超える高速 L S I の機能試験に好適な被測定 L S I の試験装置の提供を目的とする。

また、本発明は、被測定 L S I のクロック及び出力データを示す時系列のレベルデータを出力するソースシンクロナス回路を用いることによって、被測定 L S I のジッタ解析及びジッタによるクロックと出力データの位相差の検出を、煩雑な操作や誤差等が生じることなく、容易かつ確実に行える被測定 L S I のジッタアナライザ及び位相差検出器の提供を目的とする。

発明の開示

[被測定 L S I の試験装置]

上記目的を達成するため、まず、本発明の被測定 L S I の試験装置は、被測定 L S I から出力される出力信号を被測定データとして所定の期待値データと比較し、当該被測定 L S I の良否を判定する試験装置であって、前記被測定 L S I から出力される第一信号を入力し、この第一信号を一定のタイミング間隔を有する複数のストロープによって取得し、時系列のレベルデータとして出力する第一の L S I テスタと、前記被測定 L S I から出力される第二信号を入力し、この第二信号を一定のタイミング間隔を有する複数のストロープによって取得し、時系列のレベルデータとして出力する第二の L S I テスタと、この第一又は第二の L S I テスタの少なくとも一方に備えられ、当該第一及び第二の L S I テスタから出力される時系列のレベルデータを入力することにより、前記第一の L S I テスタに入力される第一信号のタイミングで前記第二の L S I テスタに入力される第二信号を選択して、前記被測定 L S I の被測定データとして出力する選択回路と、

を備える構成としてある。

このような構成からなる本発明の被測定LSIの試験装置によれば、本発明に係るソースシンクロナス回路を備えることにより、被測定LSIから出力されるクロック及び出力データを、時系列のレベルデータとして取得することができる。

- 5 時系列のレベルデータは、被測定LSIのクロック（又は出力データ）の信号変化点であるエッジタイミングを示すものである。従って、このクロックのエッジタイミングを示すレベルデータを取得できることにより、当該レベルデータを被測定LSIの出力データを取得するタイミング信号として用いることができる。

- 10 これにより、被測定LSIのクロック及び出力データの信号変化点（立上がりエッジ又は立下がりエッジ）がジッタにより変動した場合にも、変動したクロックのエッジタイミングで出力データを取り込むことが可能となる。従って、本発明に係る試験装置では、被測定LSIの出力データを、ジッタに応じて変動するタイミングで取得することができ、ジッタの影響に左右されることなく、常に正確な試験結果を得ることができる。

- 15 なお、ソースシンクロナス回路に入力するストロープは、クロック側と出力データ側とで入力のタイミングを異ならせることができる。これにより、被測定LSIから出力されるクロックと出力データの位相差に応じて適切なタイミングに調節することができる。

- 20 被測定LSIから出力されるクロックと出力データは、位相が常に一致しているとは限らず、例えば、セットアップ・タイムがマイナスとなることも、プラスとなることもある。従って、このような場合には、ソースシンクロナス回路に入力するストロープのタイミングを、クロック側と出力データ側とでそれぞれ異ならせることにより、位相差のあるクロックと出力データに適切なタイミングでストロープが出力されるように調節することができる。

- 25 そして、具体的には、本発明は、前記第一のLSIテストが、前記被測定LSIから出力されるクロックを入力する順序回路と、一定のタイミング間隔で遅延させたストロープを前記順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、前記順序回路から出力される時系列のレベルデータを入力し、前記被測定LSIのクロックのエッジタイミングを示すタイミ
30 ングデータに符号化して出力するエンコーダと、を有する第一のタイムインター

ポレータを備え、前記第二のLSIテストが、前記被測定LSIから出力される出力データを入力する順序回路と、一定のタイミング間隔で遅延させたストロブを前記順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、を有する第二のタイムインターポレータを備え、前記選択回路が、前記第一のタイムインターポレータで符号化された時系列のレベルデータを5 選択信号として、前記第二のタイムインターポレータから入力される時系列のレベルデータのうち、一のデータを選択し、前記被測定LSIの被測定データとして出力するセレクトを備える構成としてある。

このような構成からなる本発明の被測定LSIの試験装置によれば、ソースシンクロナス回路を構成する第一、第二のLSIテスト及び選択回路を、順序回路10 や遅延回路、エンコーダ、セレクト等、既存の手段を用いて簡単に構成することができる。これにより、LSIテストが複雑化、大型化、高コスト化等することなく、簡易な構成によって、本発明に係るソースシンクロナス回路を備えるLSIテストを実現することができる。

15 また、このような構成のソースシンクロナス回路によれば、複数の順序回路の数、遅延回路の遅延量を変更することができ、第一、第二のタイムインターポレータにおける時系列のレベルデータのビット幅（順序回路の数）や分解能（遅延回路の遅延量）を任意の値に設定することができる。これにより、データレートやジッタ幅等に応じて種々の設定が可能となり、あらゆるLSIにも対応できる20 汎用性、利便性の高いLSIテストを実現することが可能となる。

また、本発明は、前記第二のタイムインターポレータが、前記順序回路から出力される時系列のレベルデータを入力し、前記被測定LSIの出力データのエッジタイミングを示すタイミングデータに符号化して出力するエンコーダを有する構成としてある。

25 このような構成からなる本発明の被測定LSIの試験装置によれば、第二のタイムインターポレータにエンコーダを備えることにより、第一のLSIテストと第二のLSIテストを、まったく同一の構成とすることができる。これにより、複数のLSIテストを備える場合に、すべてのLSIテストを同一構成にすることで、各LSIテストの任意のチャンネルに被測定LSIのクロックや出力データ30 を割り付けることができ、チャンネルの割付け作業を容易かつ効率的に行うこ

とができる。また、このように同一構成からなるL S I テスタを備えることで、複数のL S I テスタのいずれに対しても、被測定L S I のクロックや出力データを割り付けることができ、被測定L S I から複数のクロックや出力データが出力される場合には、任意のクロックのタイミングで任意の出力データを取得でき、

5 あらゆるL S I に対応可能な汎用性、利便性の高い試験装置を実現できる。

さらに、本発明は、前記第一及び第二のL S I テスタをそれぞれ接続し、当該第一及び第二のL S I テスタから出力されるデータを所定の前記選択回路に分配するバスを備える構成としてある。

このような構成からなる本発明の被測定L S I の試験装置によれば、第一、第二のL S I テスタから出力される時系列のレベルデータを入力して選択回路に振り分けるバスを備えることにより、所望のクロックを所望の出力データに割り当てて選択回路に入力して被測定データを取得することができる。これにより、被測定L S I に応じて第一、第二のL S I テスタ及び選択回路が複数備えられる場合にも、各クロック及び出力データを任意に組み合わせて被測定データを取り込
10
15 むことができ、より汎用性、利便性の高いL S I テスタを実現できる。

[被測定L S I のジッタアナライザ]

次に、本発明の被測定L S I のジッタアナライザは、被測定L S I から出力される出力信号のジッタの分布を取得、解析するジッタアナライザであって、前記
20 被測定L S I から出力される出力信号を入力し、この出力信号を一定のタイミング間隔を有する複数のストロープによって取得し、時系列のレベルデータとして出力する第一のL S I テスタと、この第一のL S I テスタから出力される時系列のレベルデータを入力することにより、前記第一のL S I テスタに入力される出力信号のタイミングを取得し、当該出力信号のジッタの分布として出力するジッ
25 タ分布解析手段と、を備える構成としてある。

このような構成からなる本発明の被測定L S I のジッタアナライザによれば、本発明に係るソースシンクロナス回路を備えることにより、被測定L S I から出力されるクロック又は出力データの信号変化点（エッジタイミング）を示す時系列のレベルデータを取得することができる。従って、このクロック又は出力デー
30 タの信号変化点を示すレベルデータを複数取得、蓄積することにより、ジッタに

より変動する各データの信号変化点の分布を解析することが可能となる。

これにより、本発明に係るジッタアナライザでは、従来のジッタ測定器を用いる場合のようなオシロスコープ等の操作による誤差や測定作業の困難性等の問題が生じることなく、容易に精度の高いジッタ解析を行うことができる。

- 5 そして、具体的には、本発明は、前記第一のLSIテストが、前記被測定LSIから出力される出力信号を入力する順序回路と、一定のタイミング間隔で遅延させたストロブを前記順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、前記順序回路から出力される時系列のレベルデータを入力し、前記被測定LSIの出力信号のエッジタイミングを示すタイミ
10 ングデータに符号化して出力するエンコーダと、を有するタイムインターポレータを備える構成としてある。

- このような構成からなる本発明の被測定LSIのジッタアナライザによれば、ソースシンクロナス回路を構成する第一のLSIテストを、順序回路や遅延回路、エンコーダ等、既存の手段を用いて簡単に構成することができる。これにより、
15 ジッタアナライザが複雑化、大型化、高コスト化等することなく、簡易な構成によって、本発明に係るソースシンクロナス回路を用いたジッタアナライザを実現することができる。

- また、このような構成のソースシンクロナス回路によれば、複数の順序回路の数、遅延回路の遅延量を変更することができ、タイムインターポレータにおける
20 時系列のレベルデータのビット幅（順序回路の数）や分解能（遅延回路の遅延量）を任意の値に設定することができる。これにより、データレートやジッタ幅等に応じて種々の設定が可能となり、あらゆるLSIにも対応が可能な汎用性、利便性の高いジッタアナライザを実現することができる。

- しかも、本発明によれば、クロック用のLSIテストと出力データ用のLSI
25 テストとを、まったく同一の構成とすることができる。これにより、本発明に係るジッタアナライザを用いて被測定LSIの任意のクロック及び出力データについてジッタ解析を行うことができ、きわめて汎用性の高いジッタアナライザを実現することができる。

- また、本発明は、前記ジッタ分布解析手段が、前記エンコーダから出力される
30 タイミングデータを記憶する記憶回路を備え、この記憶回路に記憶される複数の

データから、前記第一のLSIテストに入力される出力信号のエッジタイミングの分布を取得する構成としてある。

このような構成からなる本発明の被測定LSIのジッタアナライザによれば、エンコーダから出力される被測定LSIのクロック又は出力データの信号変化点を示すタイミングデータを、記憶回路（メモリ）に複数記憶、蓄積することができる。これにより、記憶回路に蓄積された複数のタイミングデータを、例えばCPUでソフトウェア処理することによってクロック又は出力データの分布を示すジッタ・ヒストグラムを得る等、任意の方法を用いてタイミングデータを解析処理することができる。しかも、タイミングデータを記憶する記憶回路をLSIテストに付加するだけで、本発明に係るジッタアナライザを構成できるので、ジッタアナライザが複雑化、大型化、高コスト化等することなく、簡易な構成によって本発明に係るジッタアナライザを実現できる。

また、本発明は、前記ジッタ分布解析手段が、前記エンコーダから出力されるタイミングデータを入力し、時系列のレベルデータに復号化して出力するデコーダと、このデコーダの出力信号を出力端子ごとにカウントする複数のカウンタと、を備え、このカウンタから出力される複数のデータから、前記第一のLSIテストに入力される出力信号のエッジタイミングの分布を取得する構成としてある。

このような構成からなる本発明の被測定LSIのジッタアナライザによれば、エンコーダから出力される被測定LSIのクロック又は出力データの信号変化点を示すタイミングデータを、デコーダで複合化し、このデコーダの出力を出力端子ごとにカウンタでカウントすることができる。そして、被測定LSIの各クロック又は出力データを複数取得することにより、各データの信号変化点をカウントしてその分布を得ることができる。

これにより、例えば、カウンタから出力されるデータを読み込み、そのままグラフ化してクロック又は出力データの分布を示すジッタ・ヒストグラムを得ることができ、データをいったん記憶回路に記憶させた後に解析処理を行う場合よりも、さらに高速なジッタ解析が可能となる。なお、デコーダの出力をカウントするカウンタの個数は、タイムインターポレータによる時系列のレベルデータの測定可能範囲（分解能）に対応するものであり、具体的には、順序回路の数と同数とすることが好ましい。

[被測定LSIの位相差検出器]

- さらに、本発明の被測定LSIの位相差検出器は、被測定LSIから出力される第一信号と第二信号の位相差を検出する位相差検出器であって、前記被測定LSIから出力される第一信号を入力し、この第一信号を一定のタイミング間隔を有する複数のストロブによってデータとして取得し、時系列のレベルデータとして出力する第一のLSIテストと、前記被測定LSIから出力される第二信号を入力し、この第二信号を一定のタイミング間隔を有する複数のストロブによってデータとして取得し、時系列のレベルデータとして出力する第二のLSIテストと、この第一又は第二のLSIテストの少なくとも一方に備えられ、当該第一及び第二のLSIテストから出力される時系列のレベルデータを入力することにより、前記第一のLSIテストに入力される第一信号のタイミングと前記第二のLSIテストに入力される第二信号のタイミングとの差を算出し、位相差として出力する位相差検出回路と、を備える構成としてある。
- このような構成からなる本発明の被測定LSIの位相差検出器によれば、本発明に係るソースシンクロナス回路を備えることにより、被測定LSIから出力されるクロック及び出力データの信号変化点（エッジタイミング）を示す時系列のレベルデータを取得することができる。そして、このクロック及び出力データのエッジタイミングを示すレベルデータを減算処理することにより、クロックと出力データの位相差を検出することが可能となる。これにより、本発明では、従来のジッタ測定器を用いることなく、容易かつ確実に被測定LSIのクロックと出力データの位相差を取得、解析することができる。

- そして、具体的には、本発明は、前記第一のLSIテストが、前記被測定LSIから出力されるクロックを入力する順序回路と、一定のタイミング間隔で遅延させたストロブを前記順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、前記順序回路から出力される時系列のレベルデータを入力し、前記被測定LSIのクロックのエッジタイミングを示すタイミングデータに符号化して出力するエンコーダと、を有する第一のタイムインターポレータを備え、前記第二のLSIテストが、前記被測定LSIから出力される出力データを入力する順序回路と、一定のタイミング間隔で遅延させたストロー

- ブを前記順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、前記順序回路から出力される時系列のレベルデータを入力し、前記被測定LSIの出力データのエッジタイミングを示すタイミングデータに符号化して出力するエンコーダと、を有する第二のタイムインターポレータを備え、
- 5 前記位相差検出回路が、前記第一のタイムインターポレータで符号化された時系列のレベルデータと、前記第二のタイムインターポレータで符号化された時系列のレベルデータとを減算する演算回路と、この演算回路の演算結果を復号化するデコーダと、を備え、前記デコーダにより復号化されたデータを、前記被測定LSIのクロックと出力データの位相差として出力する構成としてある。
- 10 このような構成からなる本発明の被測定LSIの位相差検出器によれば、ソースシンクロナス回路を構成する第一、第二のLSIテスト及び位相差検出回路を、順序回路や遅延回路、エンコーダ、減算回路、デコーダ等、既存の手段を用いて簡単に構成することができる。これにより、位相差検出器が複雑化、大型化、高コスト化等することなく、簡易な構成によって、本発明に係るソースシンクロナス回路を備える位相差検出器を実現することができる。
- 15 また、このような構成のソースシンクロナス回路によれば、複数の順序回路の数、遅延回路の遅延量を変更することができ、第一、第二のタイムインターポレータにおける時系列のレベルデータのビット幅（順序回路の数）や分解能（遅延回路の遅延量）を任意の値に設定することができる。これにより、データレート
- 20 やジッタ幅等に応じて種々の設定が可能となり、あらゆるLSIにも対応できる汎用性、利便性の高い位相差検出器を実現することが可能となる。
- しかも、本発明によれば、第一のLSIテストと第二のLSIテストとを、まったく同一の構成とすることができるので、位相差検出器のすべてのチャンネルについて、本発明に係る同一構成のソースシンクロナス回路を備えることができる。
- 25 これにより、複数のLSIテストに対して、任意に被測定LSIのクロックや出力データを割り付けることができ、チャンネルの割付け作業を容易かつ効率的に行うことができる。また、このように任意のチャンネルに被測定LSIのクロックや出力データを割り付けることができることで、被測定LSIから複数のクロックや出力データが出力される場合には、任意の組合せによるクロックと出
- 30 カデータの位相差を取得することができ、あらゆるLSIに対応可能な汎用性、

利便性の高い試験装置を実現できる。

- また、本発明は、前記位相差検出回路が、前記デコーダの出力信号を出力端子ごとにカウントする複数のカウンタを備え、このカウンタから出力される複数のデータから、前記第一のLSIテストに入力されるクロックと前記第二のLSI
- 5 テスタに入力される出力データの位相差の分布を取得する構成としてある。

- このような構成からなる本発明の被測定LSIの位相差検出器によれば、被測定LSIのクロックと出力データの位相差を示すデコーダの出力を出力端子ごとにカウンタでカウントすることができる。そして、被測定LSIのクロックと出力データを複数取得することにより、クロックと出力データの位相差の分布を得
- 10 ることができる。これにより、例えば、カウンタから出力されるデータを読み込んでグラフ化することで、クロックと出力データの位相差の分布を示すヒストグラムを得ることができる。なお、デコーダの出力をカウントするカウンタの個数は、減算回路で算出される位相差の数と同数とすることが好ましい。

- さらに、本発明は、前記第一及び第二のLSIテストをそれぞれ接続し、当該
- 15 第一及び第二のLSIテストから出力されるデータを所定の前記位相差検出回路に分配するバスを備える構成としてある。

- このような構成からなる本発明の被測定LSIの位相差検出器によれば、第一、第二のLSIテストから出力される時系列のレベルデータを入力して位相差検出回路に振り分けるバスを備えることにより、所望のクロックを所望の出力データ
- 20 に割り当てて位相差検出回路に入力して位相差データを取得することができる。

これにより、被測定LSIに応じて第一、第二のLSIテスト及び位相差検出回路が複数備えられる場合にも、各クロック及び出力データを任意に組み合わせで位相差データを取り込むことができ、より汎用性、利便性の高い位相差検出器を実現することができる。

25

図面の簡単な説明

第1図は、本発明に係る被測定LSIの試験装置の第一実施形態の構成を示すブロック図である。

- 第2図は、本発明に係る被測定LSIの試験装置の第一実施形態における被測定LSIのクロックのエッジタイミングで出力データを取得する動作を示す信号
- 30

図である。

第3図は、本発明に係る被測定LSIの試験装置の第二実施形態の構成を示すブロック図である。

第4図は、本発明に係る被測定LSIのジッタアナライザの第一実施形態の構成を示すブロック図である。

第5図は、本発明に係る被測定LSIのジッタアナライザの第一実施形態において被測定LSIのクロック又は出力データのジッタ分布を取得、解析する場合の説明図である。

第6図は、発明に係る被測定LSIのジッタアナライザの第二実施形態の構成を示すブロック図である。

第7図は、本発明に係る被測定LSIの位相差検出器の第一実施形態の構成を示すブロック図である。

第8図は、本発明に係る被測定LSIの位相差検出器の第一実施形態において被測定LSIのクロック及び出力データの位相差を取得する動作を示す信号図である。

第9図は、本発明に係る被測定LSIの位相差検出器の第二実施形態の構成を示すブロック図である。

第10図は、従来の被測定LSIの試験装置の構成を示すブロック図である。

第11図は、従来の被測定LSIの試験装置における被測定LSIの出力データを示す信号図であり、(a)は出力データのジッタを、(b)はジッタにより取得データにエラーが発生する状態を示している。

発明を実施するための最良の形態

以下、本発明に係る被測定LSIの試験装置、ジッタアナライザ及び位相差検出器の好ましい実施形態について、図面を参照しつつ説明する。

[被測定LSIの試験装置]

まず、本発明に係る被測定LSIの試験装置の実施形態について、第1図～第3図を参照しつつ説明する。

[第一実施形態]

以下、第1図及び第2図を参照して、本発明に係る被測定LSIの試験装置の第一実施形態について説明する。

第1図は、本発明に係る被測定LSIの試験装置の第一実施形態の構成を示すブロック図である。第1図に示すように、本実施形態に係る被測定LSIの試験装置は、被測定LSI1の機能試験を行うLSIテスト10を備えており、LSIテスト10が被測定LSI1から出力される出力データを被測定データとして取得し、これを所定の期待値データと比較することにより、当該被測定LSI1の良否を判定するようになっている。

被測定LSI1は、図示しないパターン発生器等から信号が入力されることにより所定の出力データを出力するとともに、クロック信号を出力するようになっている。このようにLSI自体からクロックが出力されるものとして、例えば上述した「RapidIO」（登録商標）や「HyperTransport」（登録商標）等を使用したLSIや、バス・システムをPCIバスから「RapidIO」に変換するためのブリッジLSI等がある。

そして、本実施形態では、この被測定LSI1から出力されるクロックを複数のLSIテスト10に入力することで、被測定LSI1のクロック・タイミングで当該被測定LSI1の出力データを取得し、被測定データとして出力するようにしたものである。具体的には、LSIテスト10は、被測定LSI1のクロック及び出力データを、それぞれ一定のタイミング間隔を有する複数のストロークで取得して、時系列のレベルデータとして出力するとともに、当該時系列のレベルデータを用いて、被測定LSI1のクロックのエッジタイミングで出力データを選択、取得するソースシンクロナス回路を構成している。

まず、ソースシンクロナス回路を構成するLSIテスト10は、被測定LSI1から出力される各クロック及び出力データごとに、それぞれ同一構成のLSIテスト10が一つずつ割り当てられるようになっている。

本実施形態では、第1図に示すように、被測定LSI1のクロック側に一つのLSIテスト10（本発明の第一のLSIテスト）が備えられるとともに、被測定LSI1の出力データ側に1～n個のLSIテスト10（本発明の第二のLSIテスト）が備えられている。そして、各LSIテスト10は、タイムインターポレータ・バス40を介して相互に接続されており、後述するように、タイムイ

ンターポレータ・バス 40 の制御により、所定のチャンネル（L S I テスタ 10）間で信号の入出力が行われるようになっている。

- 各 L S I テスタ 10 は、第 1 図に示すように、それぞれが同一の構成となっており、具体的には、レベルコンパレータ 11 と、パターン比較器 12、タイムインターポレータ 20 及びセクタ 30 を備えている。

レベルコンパレータ 11 は、被測定 L S I 1 からの出力信号（クロック又は出力データ）を入力し、所定の比較電圧とレベル比較して、タイムインターポレータ 20 に信号を出力する。

- パターン比較器 12 は、後述するタイムインターポレータ 20 を介してセクタ 30 で選択された被測定 L S I 1 の出力データを所定の期待値と比較し、試験結果を出力する。

- タイムインターポレータ 20 は、被測定 L S I 1 から出力されるクロック又は出力データを一定のタイミング間隔を有する複数のストロープによって取得し、時系列のレベルデータとして出力する。具体的には、タイムインターポレータ 20 は、複数の順序回路となるフリップ・フロップ 21 a ~ 21 n と、遅延回路 22 及びエンコーダ 23 を備えている。

- 複数のフリップ・フロップ 21 a ~ 21 n は、本実施形態では並列に接続された D 型フリップ・フロップ群からなり、それぞれレベルコンパレータ 11 を介して被測定 L S I から出力される出力信号（クロック又は出力データ）を、入力データとして入力する。そして、遅延回路 22 を介して入力されるストロープをクロック信号として、所定のタイミングで入力されたデータを出力する。

遅延回路 22 は、一定のタイミング間隔で遅延させたストロープを複数のフリップ・フロップ 21 a ~ 21 n のクロック端子に順次入力し、当該フリップ・フロップ 21 a ~ 21 n から時系列のレベルデータを出力させる。

- ここで、複数のフリップ・フロップ 21 a ~ 21 n の数及び遅延回路 22 の遅延量を任意に設定、変更することができ、タイムインターポレータ 20 で取得する時系列のレベルデータのビット幅（順序回路の数）や分解能（遅延回路の遅延量）を所望の値に設定することができる。これにより、試験対象となる被測定 L S I 1 のデータレートやジッタ幅等に応じて、取得される時系列のレベルデータを種々に設定でき、あらゆる L S I にも対応が可能となっている。

また、遅延回路 22 を介してフリップ・フロップ 21 a ~ 21 n に入力されるストロブは、クロック側と出力データ側とで入力のタイミングを異ならせることができる。本実施形態では、各 L S I テスタ 10 ごとに異なるタイミング発生器等を備えることにより、クロック側と出力データ側とで、それぞれ独立してストロブを入力するようにしてある（第 1 図に示すクロック側の「ストロブ 1」及び出力データ側の「ストロブ 2」）。これにより、被測定 L S I 1 から出力されるクロックと出力データの位相差に応じて適切なタイミングに調節することができる。被測定 L S I 1 から出力されるクロックと出力データは、位相が常に一致しているとは限らず、例えば、セットアップ・タイムがマイナスとなることも、プラスとなることもある。従って、そのような場合に、ストロブのタイミングをクロック側と出力データ側とでそれぞれ異ならせることにより、位相差のあるクロックと出力データに適切なタイミングでストロブが出力されるように調節することができる。

エンコーダ 23 は、複数のフリップ・フロップ 21 a ~ 21 n から出力される時系列のレベルデータを入力し、当該レベルデータを符号化して出力するようになっている。具体的には、エンコーダ 23 は、フリップ・フロップ 21 a ~ 21 n から一定間隔で順次データが入力され、すべてのフリップ・フロップ 21 a ~ 21 n からのデータが揃ったタイミングでエンコーディングを行い、その結果を出力する。これにより、フリップ・フロップ 21 a ~ 21 n から出力された時系列のレベルデータが符号化されて出力されることになる。

そして、本実施形態では、クロック側 L S I テスタ 10 のエンコーダ 23 が、複数のフリップ・フロップ 21 a ~ 21 n から出力される時系列のレベルデータを入力することにより、被測定 L S I 1 のクロックのエッジタイミングを示すタイミングデータに符号化して出力するようになっている。

なお、第 1 図に示す例では図示を省略してあるが、エンコーダ 23 の出力側にインターリーブ回路を挿入することにより、また、フリップ・フロップ 21 a ~ 22 1 n とセクタ 30 の間に F I F O 回路を挿入することにより、セクタ 30 へのデータ転送を高速化することができる。

また、出力データ側 L S I テスタ 10 では、後述するように、フリップ・フロップ 21 a ~ 21 n から出力される時系列のレベルデータは、直接セクタ 30

に入力されるようになっている。すなわち、本実施形態では、出力データ側のエンコーダ 23 は使用されないことになる。従って、出力データ側の L S I テスタ 10 については、本実施形態ではエンコーダ 23 を省略することが可能である。

5 セクタ 30 は、複数のフリップ・フロップ 21 a ~ 21 n から出力される時系列のレベルデータを入力することにより、被測定 L S I 1 のクロックのエッジタイミングで当該被測定 L S I 1 の出力データを選択し、当該被測定 L S I 1 の被測定データとして出力する選択回路である。

10 具体的には、セクタ 30 は、マルチプレクサ等からなり、データ入力側に複数の各フリップ・フロップ 21 a ~ 21 n が接続されるとともに、セレクト信号端子にはタイムインターポレータ・バス 40 が接続されている。

15 そして、本実施形態では、出力データ側のセクタ 30 に出力データ側のフリップ・フロップ 21 a ~ 21 n から出力される時系列のレベルデータが入力されるとともに、タイムインターポレータ・バス 40 の制御により、クロック側タイムインターポレータ 20 のエンコーダ 23 で符号化された時系列のレベルデータが、出力データ側のセクタ 30 の選択信号として入力されるようになっている。

20 これにより、出力データ側のセクタ 30 では、出力データ側タイムインターポレータ 20 のフリップ・フロップ 21 a ~ 21 n から出力される時系列のレベルデータが入力データとして入力されるので、クロック側のエンコーダ 23 からの信号を選択信号として、出力データ側のレベルデータのうち、一のデータが選択される。そして、このセクタ 30 で選択された被測定 L S I 1 の出力データが、パターン比較器 12 に出力され、パターン比較器 12 で所定の期待値と比較され、試験結果が出力されるようになっている。

25 なお、クロック側の L S I テスタ 10 に備えられるセクタ 30 に対しては、後述するタイムインターポレータ・バス 40 の制御により、選択信号が入力されないようになっている。すなわち、クロック側のセクタ 30（及びパターン比較器 12）は、本実施形態では使用されない。従って、クロック側の L S I テスタ 10 については、セクタ 30（及びパターン比較器 12）を省略することが可能である。換言すれば、セクタ 30 は、クロック側及び出力データ側タイムインターポレータ 20 からの出力信号が入力される限り、クロック側又は出力データ側の L S I テスタ 10 の少なくとも一方に備えられれば良い。

30

タイムインターポレータ・バス 40 は、クロック側 L S I テスタ 10 及び出力データ側 L S I テスタ 10 をそれぞれ接続する伝送線路であり、各 L S I テスタ 10 から出力されるデータを所定のセレクト 30 に分配するように制御される。

第 1 図に示すように、タイムインターポレータ・バス 40 は、各チャンネル
5 (L S I テスタ 10) のエンコーダ 23 の出力端子及びセレクト 30 のセレクト
端子に対して IN/OUT の二点のスイッチで接続しており、各チャンネルにク
ロックか出力データのいずれかが入力されるようにスイッチの ON/OFF を制
御するようになっている。第 1 図に示す例では、クロック側 L S I テスタ 10 の
エンコーダ 23 について OUT が ON にされ、出力データ側 L S I テスタ 10 の
10 セレクト 30 について IN が ON にされている (第 1 図に示すタイムインターポ
レータ・バス 40 上の「●」が ON, 「○」が OFF を示している)。これに
より、該当するチャンネル (第 1 図では出力データ側 L S I テスタ 10) のセ
レクト 30 に対して、クロック側 L S I テスタ 10 からレベルデータがセレクト信
号として入力されるようになっている。

15 なお、該当するチャンネルにクロック側、出力データ側のいずれからもデータ
が入力されない場合は、どちらのスイッチも OFF となる。

ここで、いずれのチャンネルにどのクロック又は出力データの信号が入力され
るかの情報は、通常は予め与えられている。従って、その情報に従い、試験装置
を使用する前に、予めいずれのスイッチを ON/OFF にするかを設定すること
20 ができる。また、この ON/OFF の制御情報は、図示しない制御用レジスタ等
に情報を書き込んでおくことができる。

このようなタイムインターポレータ・バス 40 を備えることにより、クロック
側及び出力データ側の L S I テスタ 10 から出力される時系列のレベルデータは、
タイムインターポレータ・バス 40 に入力され、所定のセレクト 30 に振り分け
25 ることができる。これにより、所望のクロックを所望の出力データに割り当てて
被測定データとして取得することができる。

従って、被測定 L S I 1 の構成やデータレート、ジッタ幅等に応じて、セレクト
30 を含む L S I テスタ 10 が複数備えられる場合にも、各クロック及び出力
データを任意に組み合わせて被測定データを取り込むことができる。

30 例えば、被測定 L S I 1 からクロック及び出力データが複数送出される場合に、

- 「クロック 1 と出力データ 1」、「クロック 2 と出力データ 2」、というように、それぞれ任意の L S I テスタ 1 0 にデータを割り付けることができる。そして、この場合、「出力データ 1」については「クロック 1」のタイミングで、「出力データ 2」については「クロック 2」のタイミングで、独立して被測定データを
- 5 取得することができる。なお、L S I テスタ 1 0 が複数備えられる場合には、各 L S I テスタ 1 0 にデータを振り分けるタイムインターポレータ・バス 4 0 も、各 L S I テスタ 1 0 に対応して複数備えられることになる。

- 次に、以上のような構成からなる本実施形態に係る被測定 L S I の試験装置の
- 10 動作について説明する。

- まず、試験装置に備えられる図示しないパターン発生器から被測定 L S I 1 に所定の試験パターン信号が入力されると、被測定 L S I 1 からは、パターン信号に対応する所定の出力データ及びクロックが出力される。被測定 L S I 1 から出力されたクロック及び出力データは、それぞれ別々のチャンネル（L S I テスタ
- 15 1 0）に入力される。各 L S I テスタ 1 0 に入力されたクロック及び出力データは、それぞれ、レベルコンパレータ 1 1 に入力、比較電圧とレベル比較された後、各タイムインターポレータ 2 0 に入力される。

- タイムインターポレータ 2 0 に入力された信号（クロック又は出力データ）は、まず、並列に接続された複数のフリップ・フロップ 2 1 a ~ 2 1 n に入力される。
- 20 また、クロック又は出力データが入力される各フリップ・フロップ 2 1 a ~ 2 1 n のクロック端子には、遅延回路 2 2 によって一定のタイミング間隔でストローブが入力される。これによって、各フリップ・フロップ 2 1 a ~ 2 1 n からは、入力されたクロック又は出力データが時系列のレベルデータとして取得、出力されることになる。

- 25 そして、クロック側 L S I テスタ 1 0 では、フリップ・フロップ 2 1 a ~ 2 1 n から出力された時系列のレベルデータは、エンコーダ 2 3 に入力され、符号化される。エンコーダ 2 3 で符号化されたレベルデータは、クロックのエッジタイミング（立上がりエッジ又は立下がりエッジ）を示すタイミングデータとなる。

- このタイミングデータが、タイムインターポレータ・バス 4 0 に入力され、タ
- 30 イムインターポレータ・バス 4 0 を介して、所定の出力データ側 L S I テスタ 1

0に分配され、該当する出力データ側LSIテスト10のセクタ30に選択信号として入力される。

一方、出力データ側LSIテスト10では、フリップ・フロップ21a~21nで取得された時系列のレベルデータは、そのままセクタ30に入力データとして入力される。これにより、出力データ側のセクタ30では、クロック側LSIテスト10から入力されたタイミングデータを選択信号として、出力データを示す時系列のレベルデータの中から、一のデータを選択し、このデータが被測定データとして出力される。

そして、出力データ側のセクタ30から出力された出力データは、パターン比較器12に入力され、テスト内のパターン発生器から出力される所定の期待値データと比較され、比較結果が出力される。この比較結果により、出力データと期待値との一致、不一致が検出され、被測定LSI1の良否(Pass/Fail)の判定が行われる。すなわち、セクタ30の出力と期待値とが一致すればPassの判定が、不一致の場合にはFailの判定が下されることになる。

15

以下、第2図を参照して、具体的な実施例を説明する。

第2図は、本実施形態の試験装置における被測定LSI1のクロックのエッジタイミングで出力データを取得する動作を示す信号図である。

同図に示す実施例は、各LSIテスト10に四つのフリップ・フロップ21a~21dが備えられ、被測定LSI1から出力されるクロック及び出力データをビット数“4”のレベルデータとして取得する場合となっている。従って、出力データを選択するセクタ30は4-1型MUX等で構成される。

まず、第2図(a)に示す信号の場合、被測定LSI1から出力されるクロックが“L”から“H”になるエッジタイミングがビット数“1”の位置であるのに対し、出力データは“L”から“H”になる信号変化点のタイミングがビット数“0”の位置となっている(同図の太線部分)。この場合、まず、クロックについては、クロック側LSIテスト10のフリップ・フロップ21a~21dにより、例えば“0111”(ビット数“1”の位置から“H”)のレベルデータが取得される。このデータが、エンコーダ23によりビット数“1”を示すタイミングデータ(例えば“01”)に符号化される。

30

- 一方、出力データは、出力データ側LSIテスト10のフリップ・フロップ21a～21dにより、例えば“1111”（ビット数“0”の位置から“H”）のレベルデータが取得され、このデータが、セクタ30の各入力端子に入力される。そして、出力データ側のセクタ30では、クロック側から入力される選択信号により、ビット数“1”に対応する入力端子のデータが選択され、その結果、セクタ30から出力されるデータは“H”となる。

以上のデータの流れを表1に示す。

[表1]

エンコーダ入力 (クロック)	エンコーダ出力	セクタ入力 (出力データ)		セクタ出力
0111	01 (“1”)	00	1	
		01	1	1
		10	1	
		11	1	

- 一方、第2図(b)に示す信号は、第2図(a)の信号からクロック、出力データともにジッタにより同位相(2ビット分)ずれた場合を示している。この場合、クロックが“L”から“H”になるエッジタイミングはビット数“3”の位置であるのに対して、出力データが“L”から“H”になる信号変化点のタイミングがビット数“2”の位置となる(同図の太線部分)。従って、クロックは、クロック側LSIテスト10のフリップ・フロップ21a～21dにより、例えば“0001”（ビット数“3”の位置から“H”）のレベルデータが取得される。そして、このデータが、エンコーダ23によりビット数“3”を示すタイミングデータ(例えば“11”)に符号化される。

- 一方、出力データは、出力データ側LSIテスト10のフリップ・フロップ21a～21dにより、例えば“0011”（ビット数“2”の位置から“H”）のレベルデータが取得され、このデータが、セクタ30の各入力端子に入力される。出力データ側のセクタ30では、クロック側から入力される選択信号により、ビット数“3”に対応する入力端子のデータが選択され、その結果、セクタ30から出力されるデータは、第2図(a)の場合と同様、

“H” となる。以上のデータの流れを表 2 に示す。

[表 2]

エンコーダ入力 (クロック)	エンコーダ出力	セレクト入力 (出力データ)		セレクト出力
0 0 0 1	1 1 (“3”)	0 0	0	
		0 1	0	
		1 0	1	
		1 1	1	1

従って、第 2 図 (a) の場合も、第 2 図 (b) の場合も、ジッタにより信号変
 5 化点が変動しているが、いずれも被測定データとして “H” が取得されること
 になる。これを従来の固定ストロブの試験装置で取得した場合、第 2 図 (a)
 の場合には “H” が取得され、第 2 図 (b) の場合には “L” が取得され、被
 測定データが一定とならない (第 1 1 図参照)。このように、本実施形態の試験
 10 装置では、被測定 L S I 1 のクロックと出力データの信号変化点 (エッジタイミ
 ング) がジッタにより変動した場合でも、クロックと出力データが同位相でずれ
 る場合には、常に同じ結果を取得することができる。

以上説明したように、本実施形態に係る被測定 L S I の試験装置によれば、本
 発明に係るソースシンクロナス回路を構成する複数の L S I テスタ 1 0 を備える
 15 ことにより、被測定 L S I 1 から出力されるクロック及び出力データを、時系列
 のレベルデータとして取得することができる。時系列のレベルデータは、被測定
 L S I 1 のクロック又は出力データの信号変化点であるエッジタイミングを示す
 ものであり、このクロックのエッジタイミングを示すレベルデータを、被測定 L
 S I 1 の出力データを取得するタイミング信号として用いることができる。これ
 20 により、被測定 L S I 1 のクロック及び出力データの信号変化点 (立上がりエッ
 ジ又は立下がりエッジ) がジッタにより変動した場合にも、変動したクロックの
 エッジタイミングで出力データを取り込むことが可能となる。

従って、本実施形態に係る試験装置では、被測定 L S I 1 の出力データを、ジ
 ッタに応じて変動するタイミングで取得することができ、ジッタの影響に左右さ

れることなく、常に正確な試験結果を得ることができる。

また、本実施形態では、ソースシンクロナス回路を構成する複数のLSIテスト10を、順序回路や遅延回路、エンコーダ、セクタ等、既存の手段を用いて簡単に構成することができる。これにより、LSIテスト10は、複雑化、大型化、高コスト化等することなく、簡易な構成によって実現することができる。

さらに、本実施形態では、クロック側及び出力データ側のLSIテスト10が、それぞれタイムインターポレータ20にエンコーダ23を備えるとともに、各タイムインターポレータ20にセクタ30（及びパターン比較器12）を備えるようになっており、複数の各LSIテスト10を、まったく同一の構成としてある。これにより、複数のLSIテスト10の任意のチャンネルに被測定LSI1のクロックや出力データを割り付けることができ、チャンネルの割付け作業を容易かつ効率的に行うことができる。

また、このように任意のチャンネルに被測定LSI1のクロックや出力データを割り付けることができることで、被測定LSI1から複数のクロックや出力データが出力される場合に、任意のクロックのタイミングで任意の出力データを取得することが可能となる。これにより、本実施形態では、あらゆるLSIに対応可能な汎用性、利便性の高い試験装置を実現することができる。

[第二実施形態]

次に、第3図を参照して、本発明に係る被測定LSIの試験装置の第二実施形態について説明する。

第3図は、本発明に係る被測定LSIの試験装置の第二実施形態の構成を示すブロック図である。同図に示す本実施形態に係る被測定LSIの試験装置は、第1図に示した第一実施形態の変形実施形態であり、各LSIテスト10に備えられる複数の順序回路として、フリップ・フロップ21a～21nに代えてラッチ24a～24nを備えるようにしたものである。従って、その他の構成部分は、第一実施形態と同様となっており、同様の構成部分については、図中で第一実施形態と同一符号を付し、詳細な説明は省略する。

このように、クロック側、出力データ側のタイムインターポレータ20に備えられる順序回路としてラッチ24a～24nを備えるようにしても、上述した第

一実施形態の場合と同様の効果を奏することができる。すなわち、本実施形態によっても、タイムインターポレータ 20 が複雑化、大型化、高コスト化等することなく、簡易な構成によって、本発明に係るソースシンクロナス回路を備える L S I テスタ 10 を実現することができる。なお、タイムインターポレータ 20 に
5 備えられる順序回路は、被測定 L S I 1 からのクロック及び出力データを一定のタイミング間隔で取得し、時系列のレベルデータとして出力できる限り、第一実施形態におけるフリップ・フロップ 21 a ~ 21 n や本実施形態におけるラッチ 24 a ~ 24 n の他、どのような回路構成であってもよい。

10 [被測定 L S I のジッタアナライザ]

次に、本発明に係る被測定 L S I のジッタアナライザの実施形態について、第 4 図 ~ 第 6 図を参照しつつ説明する。

[第一実施形態]

以下、第 4 図及び第 5 図を参照して、本発明に係る被測定 L S I のジッタアナ
15 ライザの第一実施形態について説明する。

第 4 図は、本発明に係る被測定 L S I のジッタアナライザの第一実施形態の構成を示すブロック図である。第 4 図に示すように、本実施形態に係る被測定 L S I のジッタアナライザは、第 1 図に示した被測定 L S I の試験装置における L S I テスタ 10 とほぼ同様の構成となっている。但し、本実施形態のジッタアナ
20 ライザは、第 1 図における L S I テスタ 10 のセレクト 30 及びパターン比較器 12 に代えて、記憶回路（メモリ）50 と CPU 60 を備えている。

また、第 1 図の試験装置と異なり、本実施形態では、被測定 L S I 1 のクロック又は出力データのジッタを個別に取得、解析するようになっており、クロックと出力データとを組み合わせる必要はない。従って、L S I テスタ 10
25 には、被測定 L S I 1 からクロック又は出力データのいずれかが入力されればよく、複数の L S I テスタ 10 を接続するためのタイムインターポレータ・バス 40（第 1 図参照）は備えていない。

その他の構成は、第 1 図に示した L S I テスタ 10 と同様となっている。

第 4 図に示すように、本実施形態のジッタアナライザに備えられる L S I テス
30 タ 10（本発明の第一の L S I テスタ）は、タイムインターポレータ 20 から出

- 力される時系列のレベルデータを入力することにより、被測定LSI 1から出力されるクロック又は出力データのエッジタイミングを取得して、当該クロック又は出力データのジッタの分布として出力するジッタ分布解析手段を有するソースシンクロナス回路となっている。具体的には、ジッタ分布解析手段として、LSI 5
- 5 I テスタ 10 のエンコーダ 23 から出力されるタイミングデータを記憶する記憶回路 50 を備えている。そして、被測定LSI 10 から複数のクロック又は出力データを取得することにより、記憶回路 50 に複数のレベルデータを蓄積し、蓄積されたデータから被測定LSI 1 のクロック又は出力データのエッジタイミングの分布を取得するようになっている。
- 10 第 5 図を参照して、本実施形態に係る被測定LSI のジッタアナライザの動作について説明する。第 5 図は、本実施形態に係る被測定LSI のジッタアナライザにおいて被測定LSI のクロック又は出力データのジッタ分布を取得、解析する場合の説明図である。
- まず、第 1 図に示した試験装置の場合と同様にして、LSI テスタ 10 のフリップ・フロップ 21 a ~ 21 n 及びエンコーダ 23 を介して、被測定LSI 1 の
- 15 クロック（又は出力データ）の信号変化点を示すタイミングデータを取得する。
- 取得したタイミングデータは、記憶回路 50 に記憶、蓄積される。このタイミングデータは、例えば 5 ビットのレベルデータとして取得され、第 5 図に示すように “0 1 1 0 1”、“0 0 1 1 1”、“0 1 0 0 0” . . . というように、
- 20 クロック（又は出力データ）のエッジタイミングを示すものである。
- 従って、このデータを記憶回路 50 から読み出し、CPU によってソフトウェア処理することにより、例えば第 5 図のグラフ図に示すように、クロック又は出力データの分布を示す正確なジッタ・ヒストグラムを得ることができる。

- 25 このように、本実施形態に係る被測定LSI のジッタアナライザによれば、本発明に係るソースシンクロナス回路を構成するLSI テスタ 10 を備えることにより、被測定LSI 1 から出力されるクロック又は出力データの信号変化点（エッジタイミング）を示す時系列のレベルデータを取得することができる。

- 従って、このクロック又は出力データの信号変化点を示すレベルデータを複数
- 30 取得、蓄積することにより、ジッタにより変動する各データの信号変化点の分布

を解析することが可能となる。これにより、本実施形態に係るジッタアナライザでは、従来のジッタ測定器を用いる場合のようなオシロスコープ等の操作による誤差や測定作業の困難性等の問題が生じることなく、容易に精度の高いジッタ解析を行うことができる。

- 5 特に、本実施形態のジッタアナライザでは、L S I テスタ 1 0 が記憶回路 5 0 を備えているので、エンコーダ 2 3 から出力される被測定 L S I 1 のクロック又は出力データの信号変化点を示すタイミングデータを、記憶回路 5 0 に複数記憶、蓄積することができる。これにより、記憶回路 5 0 に蓄積された複数のタイミングデータを、C P U 6 0 でソフトウェア処理することでクロック又は出力データの分布を示すジッタ・ヒストグラムを得る等、任意の方法を用いてタイミングデータを解析処理することができる。

また、L S I テスタ 1 0 に記憶回路 5 0 を備えるだけのジッタアナライザは、複雑化、大型化、高コスト化等することなく簡易な構成とすることができる。

- 15 しかも、本実施形態では、クロック用と出力データ用とで、ジッタアナライザを同一の構成としてあるので、本実施形態に係るジッタアナライザを用いて被測定 L S I の任意のクロック及び出力データについてジッタ解析を行うことができ、きわめて汎用性の高いジッタアナライザを提供することができる。

[第二実施形態]

- 20 次に、第 6 図を参照して、本発明に係る被測定 L S I のジッタアナライザの第二実施形態について説明する。

- 第 6 図は、本発明に係る被測定 L S I のジッタアナライザの第二実施形態の構成を示すブロック図である。第 6 図に示すように、本実施形態に係る被測定 L S I のジッタアナライザは、ジッタ分布解析手段として、第 4 図に示した記憶回路 5 0 (及び C P U 6 0) に代えて、デコーダ 7 0 及び複数のカウンタ 8 0 a ~ 8 0 n を備えるものである。

その他の構成は、第 4 図 (又は第 1 図) の L S I テスタ 1 0 と同様である。

- 第 6 図に示すように、デコーダ 7 0 は、エンコーダ 2 3 から出力される符号化されたタイミングデータを入力し、時系列のレベルデータに復号化して出力するようになっている。そして、複数のカウンタ 8 0 a ~ 8 0 n では、デコーダ 7 0

の出力信号を出力端子ごとにカウントするようになっている。

このカウンタ80a～80nから出力される複数のデータから、被測定LSI1のクロック又は出力データのエッジタイミングの分布を取得することができるようになっている。

- 5 具体的には、以下のようにしてクロック又は出力データのエッジタイミングの分布が取得される。例えば、第2図で示した信号と同様に、被測定LSI1から出力されるクロック（又は出力データ）を4ビットのレベルデータとして取得して解析する場合、被測定LSI1から出力されるクロック（又は出力データ）が“L”から“H”になるエッジタイミングが、ビット数“0”の位置からビット数“3”の位置の間で変動することになる。

この信号を本実施形態のLSIテスト10で処理すると、フリップ・フロップ21a～21d、エンコーダ23及びデコーダ70では以下のようにデータが取得される。

[表3]

クロック (出力データ)の 信号変化点の位置	FF出力 (4ビット)	エンコーダ出力 (2ビット)	デコーダ出力 (4ビット)
“0”	1111	00	0001
“1”	0111	01	0010
“2”	0011	10	0100
“3”	0001	11	1000

15

- この表3に示すように、デコーダ70から出力されるデータは、被測定LSI1のクロック（又は出力データ）の信号変化点を示す出力端子だけが“H”となり、他の出力端子は“L”となる。従って、このデコーダ70の出力信号を、複数のカウンタ80a～80nによってデコーダ70の出力端子ごとにカウントすることにより、被測定LSI1のクロック又は出力データのエッジタイミングの分布を取得することができる。
- 20

以上のように、本実施形態に係る被測定LSIのジッタアナライザによれば、

エンコーダ 23 から出力される被測定 L S I 1 のクロック又は出力データの信号変化点を示すタイミングデータを、デコーダ 70 で複合化し、このデコーダ 70 の出力を出力端子ごとにカウンタ 80 a ~ 80 n でカウントすることにより、被測定 L S I 1 の各クロック又は出力データの信号変化点をカウントしてその分布

5 を得ることができる。これにより、例えば、カウンタ 80 a ~ 80 n から出力されるデータを読み込み、そのままグラフ化してクロック又は出力データの分布を示すジッタ・ヒストグラムを得ることができ、データをいったん記憶回路に記憶させた後に解析処理を行う場合よりも、さらに高速なジッタ解析が可能となる。

- 10 なお、デコーダ 70 の出力をカウントするカウンタ 80 a ~ 80 n の個数は、タイムインターポレータ 20 による時系列のレベルデータの測定可能範囲（分解能）に対応するものであり、具体的には、フリップ・フロップ 21 a ~ 21 n 等からなる順序回路の数と同数とすることが好ましい。

[被測定 L S I の位相差検出器]

- 15 さらに、本発明に係る被測定 L S I の位相差検出器の実施形態について、第 7 図 ~ 第 9 図を参照しつつ説明する。

[第一実施形態]

以下、第 7 図及び第 8 図を参照して、本発明に係る被測定 L S I の位相差検出器の第一実施形態について説明する。

- 20 第 7 図は、本発明に係る被測定 L S I の位相差検出器の第一実施形態の構成を示すブロック図である。第 7 図に示すように、本実施形態に係る被測定 L S I の位相差検出器は、第 1 図に示した被測定 L S I の試験装置における L S I テスタ 10 とほぼ同様の構成となっている。但し、本実施形態の位相差検出器は、第 1 図における L S I テスタ 10 のセクタ 30 及びパターン比較器 12 に代えて、
- 25 減算回路 90 とデコーダ 70 を備えている。

その他の構成は、第 1 図に示した L S I テスタ 10 と同様となっている。

- 第 7 図に示すように、本実施形態の位相差検出器に備えられる L S I テスタ 10 は、タイムインターポレータ 20 から出力される時系列のレベルデータを入力することにより、被測定 L S I 1 から出力されるクロック及び出力データのエッジタイ
- 30 ジタイミングを取得して、当該クロックと出力データの信号変化点（エッジタイ

ミング) の差を算出して、位相差として出力する位相差検出回路を有するソースシンクロナス回路を構成している。具体的には、L S I テスタ 1 0 は、減算回路 9 0 及びデコーダ 7 0 を備えている。

減算回路 9 0 は、クロック側及び出力データ側の L S I テスタ 1 0 の各エンコーダ 2 3 から出力される符号化されたレベルデータ (タイミングデータ) を減算する。

また、デコーダ 7 0 は、減算回路 9 0 の減算結果を復号化することにより、後述するようにタイムインターポレータ 2 0 の遅延回路 2 2 による遅延量の重みを有する値に変換し、位相差として出力するようになっている。

10 なお、減算回路 9 0 は、クロック側及び出力データ側の各エンコーダ 2 3 からの符号化されたレベルデータ (タイミングデータ) を演算できる演算回路であればよく、減算回路の他、例えば加算回路とすることもできる。

そして、第 1 図に示した試験装置と同様、複数の L S I テスタ 1 0 を用いて被測定 L S I 1 0 から任意のクロック及び出力データを取得することにより、減算回路 9 0 及びデコーダ 7 0 を介して、所望のクロック及び出力データの位相差を検出できるようになっている。

具体的には、第 1 図に示した試験装置と同様、クロック側及び出力データ側の L S I テスタ 1 0 (本発明の第一及び第二の L S I テスタ) が、タイムインターポレータ・バス 4 0 を介して接続されている。これにより、クロック側又は出力データ側のタイムインターポレータ 2 0 のエンコーダ 2 3 で符号化された時系列のレベルデータは、タイムインターポレータ・バス 4 0 の制御により、出力データ側又はクロック側の減算回路 9 0 に入力されるようになっている。

なお、減算回路 9 0 (及びデコーダ 7 0) は、第 1 図に示した試験装置におけるセクタ 3 0 と同様に、出力データ側又はクロック側のいずれか一方の L S I テスタ 1 0 に備えられるものが使用されればよく、他方の L S I テスタ 1 0 に備えられる減算回路 9 0 (及びデコーダ 7 0) については、使用されなくてよい。従って、クロック側又は出力データ側の L S I テスタ 1 0 については、減算回路 9 0 及びデコーダ 7 0 は省略することが可能である。換言すれば、位相差検出回路を構成する減算回路 9 0 及びデコーダ 7 0 は、クロック側及び出力データ側タイムインターポレータ 2 0 からの出力信号が入力される限り、クロック側又は出

カデータ側のLSIテスト10の少なくとも一方に備えられれば良い。

以下、本実施形態に係る被測定LSIの位相差検出器の具体的な動作を、第8図を参照して説明する。

- 5 第8図は、本実施形態に係る被測定LSIの位相差検出器において被測定LSIのクロック及び出力データの位相差を取得する動作を示す信号図である。

同図に示す例は、各LSIテスト10により、被測定LSI1から出力されるクロック及び出力データをビット数“4”のレベルデータとして取得する場合で、1ビットの重み、すなわち遅延回路22による遅延量が、「50ps」の場合
10 合となっている。まず、第1図に示した試験装置の場合と同様にして、LSIテスト10のフリップ・フロップ21a~21n及びエンコーダ23を介して、被測定LSI1のクロック及び出力データの信号変化点を示すタイミングデータを取得する。取得したタイミングデータは、減算回路90で減算処理されるとともに、減算結果がデコーダ70で変換されて出力される。

- 15 第8図(a)に示す場合は、被測定LSI1から出力されるクロックが“L”から“H”になるエッジタイミングがビット数“1”の位置であるのに対し、出力データは“L”から“H”になる信号変化点のタイミングがビット数“0”の位置となっている(同図の太線部分)。従って、クロック側のエンコーダ23からは、ビット数“1”を示すタイミングデータ(例えば“0
20 1”)が出力され、出力データ側のエンコーダ23からは、ビット数“0”を示すタイミングデータ(例えば“00”)のタイミングデータが出力される。

そして、このタイミングデータが減算回路90で減算処理されると、

$$“0” - “1” = “-1”$$

- となり、クロックと出力データの位相差が“-1”ビットであることが算出さ
25 れる。本例では、1ビットの重みが“50ps”であるので、デコーダ70では減算回路90の出力に1ビットの重みを掛け、

$$“-1” * “50” = “-50”$$

と変換される。

この結果、クロックと出力データの位相差“-50ps”が取得される。

- 30 一方、第8図(b)に示す場合は、被測定LSI1から出力されるクロックが

“L” から “H” になるエッジタイミングは、同様にビット数 “1” の位置であるのに対し、出力データは “L” から “H” になる信号変化点のタイミングがビット数 “3” の位置に変動している（同図の太線部分）。従って、クロック側のエンコーダ 23 からは、ビット数 “1” を示すタイミングデータ（例えば “0 1”）が出力され、出力データ側のエンコーダ 23 からは、ビット数 “3” を示すタイミングデータ（例えば “1 1”）のタイミングデータが出力される。

そして、このタイミングデータが減算回路 90 で減算処理されると、

$$“3” - “1” = “2”$$

10 となり、クロックと出力データの位相差は “2” ビットとなる。

そして、デコーダ 70 で、1 ビットの重み（“50 p s”）を減算回路 90 の出力に掛け、

$$“2” * “50” = “100”$$

と変換される。

15 この結果、クロックと出力データの位相差 “100 p s” が取得される。

以上のように、本実施形態に係る被測定 L S I の位相差検出器によれば、本発明に係るソースシンクロナス回路を構成する L S I テスタ 10 を備えることにより、被測定 L S I 1 から出力されるクロック及び出力データの信号変化点（エッジタイミング）を示す時系列のレベルデータを取得することができる。

20 そして、このクロック及び出力データのエッジタイミングを示すレベルデータを減算回路 90 及びデコーダ 70 を用いて減算処理することにより、クロックと出力データの位相差を検出することが可能となる。これにより、本実施形態では、従来のジッタ測定器を用いることなく、被測定 L S I のクロックと出力データの
25 位相差を容易かつ確実に取得、解析することができる。

また、本実施形態によれば、クロック側と出力データ側の L S I テスタ 10 とを同一の構成としてあるので、第 1 図に示した試験装置の場合と同様、位相差検出器に備えられる複数の L S I テスタ 10 の任意のチャンネルに、被測定 L S I 1 のクロックや出力データを割り付けることができ、チャンネルの割付け作業を
30 容易かつ効率的に行うことができる。

- また、このように任意のチャンネルに被測定LSI 1のクロックや出力データを割り付けることができることで、被測定LSI 1から複数のクロックや出力データが出力される場合には、任意の組合せによるクロックと出力データの位相差を取得することができ、あらゆるLSIに対応可能な汎用性、利便性の高い位相差検出器を実現できる。

[第二実施形態]

次に、第9図を参照して、本発明に係る被測定LSIの位相差検出器の第二実施形態について説明する。

- 10 第9図は、本発明に係る被測定LSIの位相差検出器の第二実施形態の構成を示すブロック図である。第9図に示すように、本実施形態に係る被測定LSIの位相差検出器は、第7図に示した位相差検出器に、さらに、デコーダ70の出力信号を出力端子ごとにカウントする複数のカウンタ80a～80nを備え、この
- 15 カウンタ80a～80nから出力される複数のデータから、被測定LSI 1のクロックと出力データの位相差の分布を取得する構成としたものである。
- 被測定LSI 1から出力されるクロック及び出力データの位相差を取得する場合、被測定LSI 1のクロックと出力データの位相差は、減算回路90の出力結果をデコーダ70で復号化することにより、被測定LSI 1のクロックと出力データの位相差を示す出力端子だけを“H”とし、他の出力端子は“L”として
- 20 出力することができる。そして、このデコーダ70の出力信号を、複数のカウンタ80a～80nによってデコーダ70の出力端子ごとにカウントすることにより、被測定LSI 1のクロックと出力データの位相差の分布を取得することができる。

- 25 以下、第8図に示したデータを例にとって具体的に説明する。

- 各LSIテスト10のタイムインターポレータ20で、四個のフリップ・フロップ21a～21dにより、被測定LSI 1から出力されるクロック及び出力データをビット数“4”のレベルデータとして取得すると、クロック及び出力データの信号変化点を示すデータは、クロック側、出力データ側でそれぞれ（0，
- 30 1， 2， 3）の四つのデータが取得される。そして、このクロック及び出力デー

タのレベルデータを減算回路 90 で減算した場合、減算回路 90 の出力として取得され得る値は、(−3, −2, −1, 0, 1, 2, 3) の七通りとなり得る。

従って、この七通りの出力結果を出力ビット数“7”のデコーダ 70 でデコーディングし、デコーダ 70 の各出力端子のデータを七個のカウンタ 80 a ~ 80 g でカウントすることにより、被測定 L S I 1 のクロックと出力データの位相差の分布を取得することができる。

具体的なデータの流れは以下の表 4 及び表 5 に示すようになる。

なお、以下の表で、「デコーダ出力」及び「カウンタ出力」は、それぞれ上から下に位相差 (−3, −2, −1, 0, 1, 2, 3) に対応している。

10 [表 4]

第 8 図 (a) に示すデータの場合

	エンコーダ	減算回路出力	位相差	デコーダ出力	カウンタ	
クロック側	0 1 (“ 1 ”)	0 - 1 = - 1	- 3	0	0	
			- 2	0	0	
			- 1	1	1	
出力データ側	0 0 (“ 0 ”)		0	0	0	
			1	0	0	
			2	0	0	
			3	0	0	

[表 5]

第 8 図 (b) に示すデータの場合

	エンコーダ	減算回路出力	位相差	デコーダ出力	カウンタ出力
クロック側	0 1 (“ 1 ”)	3 - 1 = 2	- 3	0	0
			- 2	0	0
			- 1	0	1
出力データ側	1 1 (“ 3 ”)		0	0	0
			1	0	0
			2	1	1
			3	0	0

表 4 及び表 5 に示すように、デコーダ 7 0 から出力されるデータは、被測定 L S I 1 のクロックと出力データの位相差を示す出力端子だけが“H”となり、他の出力端子は“L”となる。従って、「カウンタ出力」には、第 8 図 (a) のデータ及び第 8 図 (b) のデータを連続して取得した累計が示され、二回のデータ取得の結果、表 5 では、位相差「- 1」が 1 回、位相差「2」が 1 回カウントされた結果が示される。これにより、デコーダ 7 0 の出力信号を、複数のカウンタ 8 0 a ~ 8 0 n によってデコーダ 7 0 の出力端子ごとにカウントすることにより、被測定 L S I 1 のクロックと出力データの位相差の分布を取得することができる。

以上のように、本実施形態に係る被測定 L S I の位相差検出器によれば、被測定 L S I 1 のクロックと出力データの位相差を示すデコーダ 7 0 の出力を出力端子ごとにカウンタ 8 0 a ~ 8 0 n でカウントすることができる。そして、被測定 L S I 1 のクロックと出力データを複数取得することにより、クロックと出力データの位相差の分布を容易かつ正確に得ることができる。

これにより、例えば、カウンタ 8 0 a ~ 8 0 n から出力されるデータを読み込んでグラフ化することで、クロックと出力データの位相差の分布を示すヒストグ

ラムを容易に得ることができる。

なお、本発明の被測定LSIの試験装置、ジッタアナライザ及び位相差検出器は、上述した実施形態にのみ限定されるものではなく、本発明の範囲で種々の変更実施が可能であることは言うまでもない。

5

産業上の利用可能性

以上のように、本発明の被測定LSIの試験装置によれば、被測定LSIから出力されるクロック及び出力データを時系列のレベルデータとして出力するソースシンクロナス回路を備えることにより、被測定LSIの出力データを取得する
10 タイミング信号として、当該被測定LSIから出力されるクロック信号を用いることができ、出力データをジッタに同調した信号変化点で取り込むことが可能となる。

これにより、被測定LSIの出力データのジッタに左右されることなく、正確な試験結果を得ることができ、例えばデータレートが1GHzを超える高速LS
15 Iの機能試験に好適な被測定LSIの試験装置を実現できる。

また、本発明ジッタアナライザ及び位相差検出器によれば、被測定LSIのクロック及び出力データを示す時系列のレベルデータを出力するソースシンクロナス回路を用いることによって、被測定LSIのジッタ解析及びジッタによるクロックと出力データの位相差の検出を、煩雑な操作や誤差等が生じることなく、容
20 易かつ確実に行えるようになる。

請 求 の 範 囲

1. 被測定LSIから出力される出力信号を被測定データとして所定の期待値データと比較し、当該被測定LSIの良否を判定する試験装置であ
5 って、
前記被測定LSIから出力される第一信号を入力し、この第一信号を一定のタイミング間隔を有する複数のストロープによって取得し、時系列のレベルデータとして出力する第一のLSIテストと、
前記被測定LSIから出力される第二信号を入力し、この第二信号を
10 一定のタイミング間隔を有する複数のストロープによって取得し、時系列のレベルデータとして出力する第二のLSIテストと、
この第一又は第二のLSIテストの少なくとも一方に備えられ、当該第一及び第二のLSIテストから出力される時系列のレベルデータを入力することにより、前記第一のLSIテストに入力される第一信号のタ
15 イミングで前記第二のLSIテストに入力される第二信号を選択して、
前記被測定LSIの被測定データとして出力する選択回路と、
を備えることを特徴とする被測定LSIの試験装置。
2. 前記第一のLSIテストが、
前記被測定LSIから出力されるクロックを入力する順序回路と、
20 一定のタイミング間隔で遅延させたストロープを前記順序回路に順次
入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路
と、
前記順序回路から出力される時系列のレベルデータを入力し、前記被
測定LSIのクロックのエッジタイミングを示すタイミングデータに符
25 号化して出力するエンコーダと、を有する第一のタイムインターポレー
タを備え、
前記第二のLSIテストが、
前記被測定LSIから出力される出力データを入力する順序回路と、
一定のタイミング間隔で遅延させたストロープを前記順序回路に順次
30 入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路

と、を有する第二のタイムインターポレータを備え、

前記選択回路が、

前記第一のタイムインターポレータで符号化された時系列のレベルデータを選択信号として、前記第二のタイムインターポレータから入力される時系列のレベルデータのうち、一のデータを選択し、前記被測定LSIの被測定データとして出力するセレクタを備える請求の範囲第1項記載の被測定LSIの試験装置。

3. 前記第二のタイムインターポレータが、

前記順序回路から出力される時系列のレベルデータを入力し、前記被測定LSIの出力データのエッジタイミングを示すタイミングデータに符号化して出力するエンコーダを有する請求の範囲第2項記載の被測定LSIの試験装置。

4. 前記第一及び第二のLSIテストをそれぞれ接続し、当該第一及び第二のLSIテストから出力されるデータを所定の前記選択回路に分配するバスを備える請求の範囲第1項、第2項又は第3項記載の被測定LSIの試験装置。

5. 被測定LSIから出力される出力信号のジッタの分布を取得、解析するジッタアナライザであって、

前記被測定LSIから出力される出力信号を入力し、この出力信号を一定のタイミング間隔を有する複数のストロープによって取得し、時系列のレベルデータとして出力する第一のLSIテストと、

この第一のLSIテストから出力される時系列のレベルデータを入力することにより、前記第一のLSIテストに入力される出力信号のタイミングを取得し、当該出力信号のジッタの分布として出力するジッタ分布解析手段と、

を備えることを特徴とする被測定LSIのジッタアナライザ。

6. 前記第一のLSIテストが、

前記被測定LSIから出力される出力信号を入力する順序回路と、

一定のタイミング間隔で遅延させたストロープを前記順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路

と、

前記順序回路から出力される時系列のレベルデータを入力し、前記被測定LSIの出力信号のエッジタイミングを示すタイミングデータに符号化して出力するエンコーダと、を有するタイムインターポレータを備える請求の範囲第5項記載の被測定LSIのジッタアナライザ。

5

7. 前記ジッタ分布解析手段が、

前記エンコーダから出力されるタイミングデータを記憶する記憶回路を備え、

この記憶回路に記憶される複数のデータから、前記第一のLSIテストタに入力される出力信号のエッジタイミングの分布を取得する請求の範囲第5項又は第6項記載の被測定LSIのジッタアナライザ。

10

8. 前記ジッタ分布解析手段が、

前記エンコーダから出力されるタイミングデータを入力し、時系列のレベルデータに復号化して出力するデコーダと、

15

このデコーダの出力信号を出力端子ごとにカウントする複数のカウンタと、を備え、

このカウンタから出力される複数のデータから、前記第一のLSIテストタに入力される出力信号のエッジタイミングの分布を取得する請求の範囲第5項又は第6項記載の被測定LSIのジッタアナライザ。

20 9.

被測定LSIから出力される第一信号と第二信号の位相差を検出する位相差検出器であって、

前記被測定LSIから出力される第一信号を入力し、この第一信号を一定のタイミング間隔を有する複数のストロープによってデータとして取得し、時系列のレベルデータとして出力する第一のLSIテストタと、

25

前記被測定LSIから出力される第二信号を入力し、この第二信号を一定のタイミング間隔を有する複数のストロープによってデータとして取得し、時系列のレベルデータとして出力する第二のLSIテストタと、

この第一又は第二のLSIテストタの少なくとも一方に備えられ、当該第一及び第二のLSIテストタから出力される時系列のレベルデータを入力することにより、前記第一のLSIテストタに入力される第一信号のタ

30

イミングと前記第二のLSIテストに入力される第二信号のタイミングとの差を算出し、位相差として出力する位相差検出回路と、

を備えることを特徴とする被測定LSIの位相差検出器。

10. 前記第一のLSIテストが、

5 前記被測定LSIから出力されるクロックを入力する順序回路と、

一定のタイミング間隔で遅延させたストローブを前記順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、

10 前記順序回路から出力される時系列のレベルデータを入力し、前記被測定LSIのクロックのエッジタイミングを示すタイミングデータに符号化して出力するエンコーダと、を有する第一のタイムインターポレータを備え、

前記第二のLSIテストが、

前記被測定LSIから出力される出力データを入力する順序回路と、

15 一定のタイミング間隔で遅延させたストローブを前記順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、

20 前記順序回路から出力される時系列のレベルデータを入力し、前記被測定LSIの出力データのエッジタイミングを示すタイミングデータに符号化して出力するエンコーダと、を有する第二のタイムインターポレータを備え、

前記位相差検出回路が、

25 前記第一のタイムインターポレータで符号化された時系列のレベルデータと、前記第二のタイムインターポレータで符号化された時系列のレベルデータとを減算する演算回路と、

この演算回路の演算結果を復号化するデコーダと、を備え、

前記デコーダにより復号化されたデータを、前記被測定LSIのクロックと出力データの位相差として出力する請求の範囲第9項記載の被測定LSIの位相差検出器。

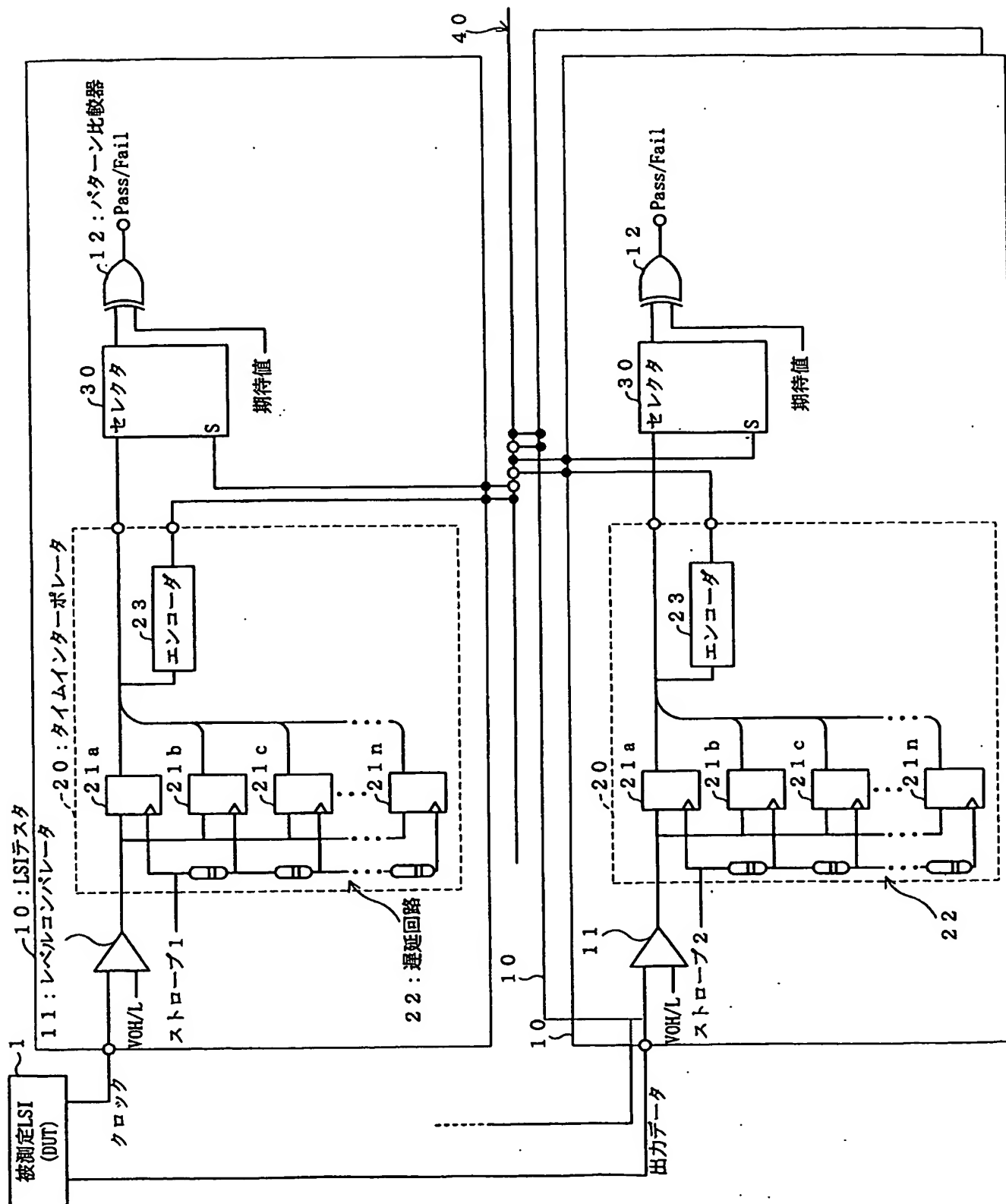
30 11. 前記位相差検出回路が、

前記デコーダの出力信号を出力端子ごとにカウントする複数のカウンタを備え、

5 このカウンタから出力される複数のデータから、前記第一のLSIテストに入力されるクロックと前記第二のLSIテストに入力される出力データの位相差の分布を取得する請求の範囲第10項記載の被測定LSIの位相差検出器。

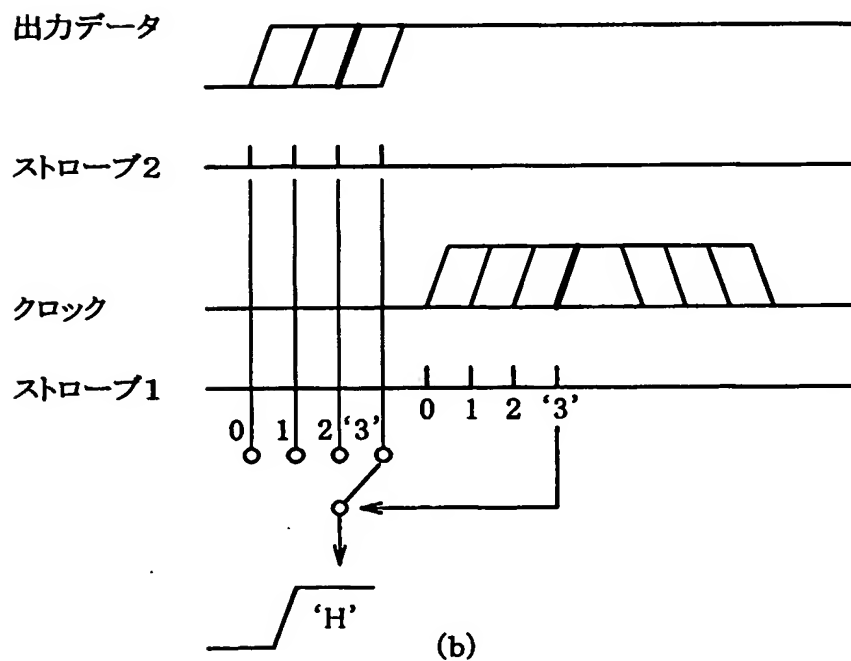
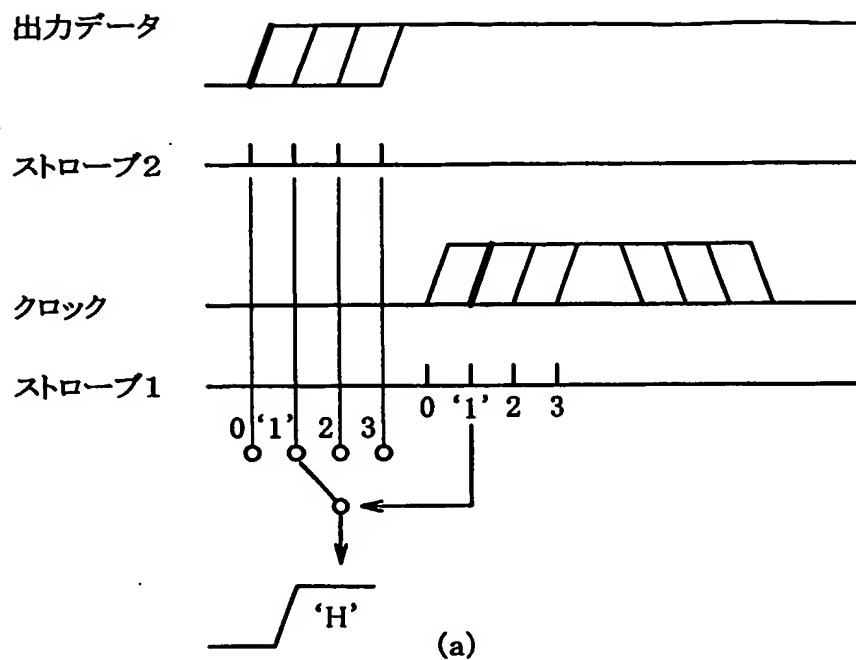
12. 前記第一及び第二のLSIテストをそれぞれ接続し、当該第一及び第二のLSIテストから出力されるデータを所定の前記位相差検出回路に分配するバスを備える請求の範囲第9項、第10項又は第11項記載の
10 被測定LSIの位相差検出器。

第1図



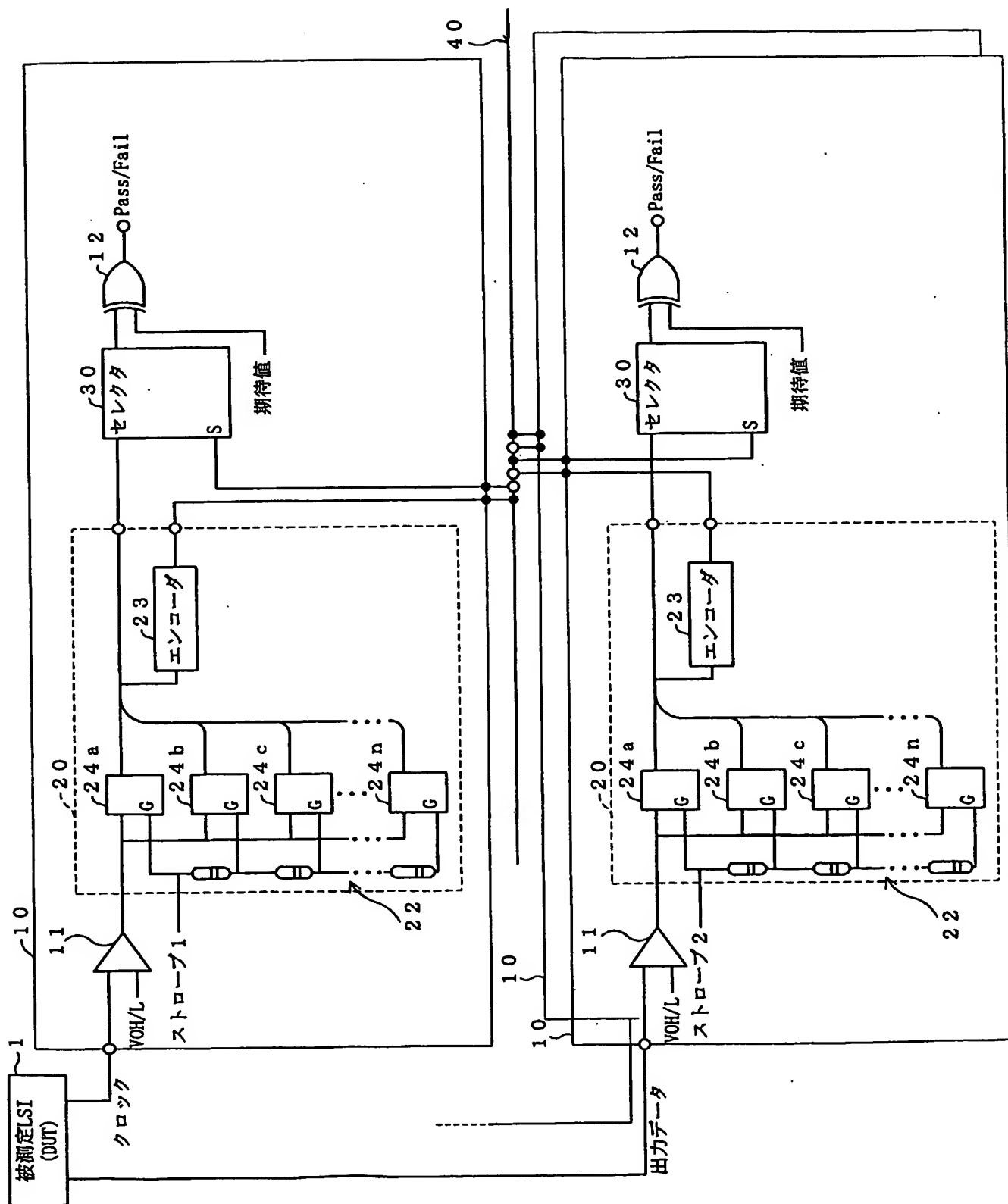
2 / 1 1

第2図



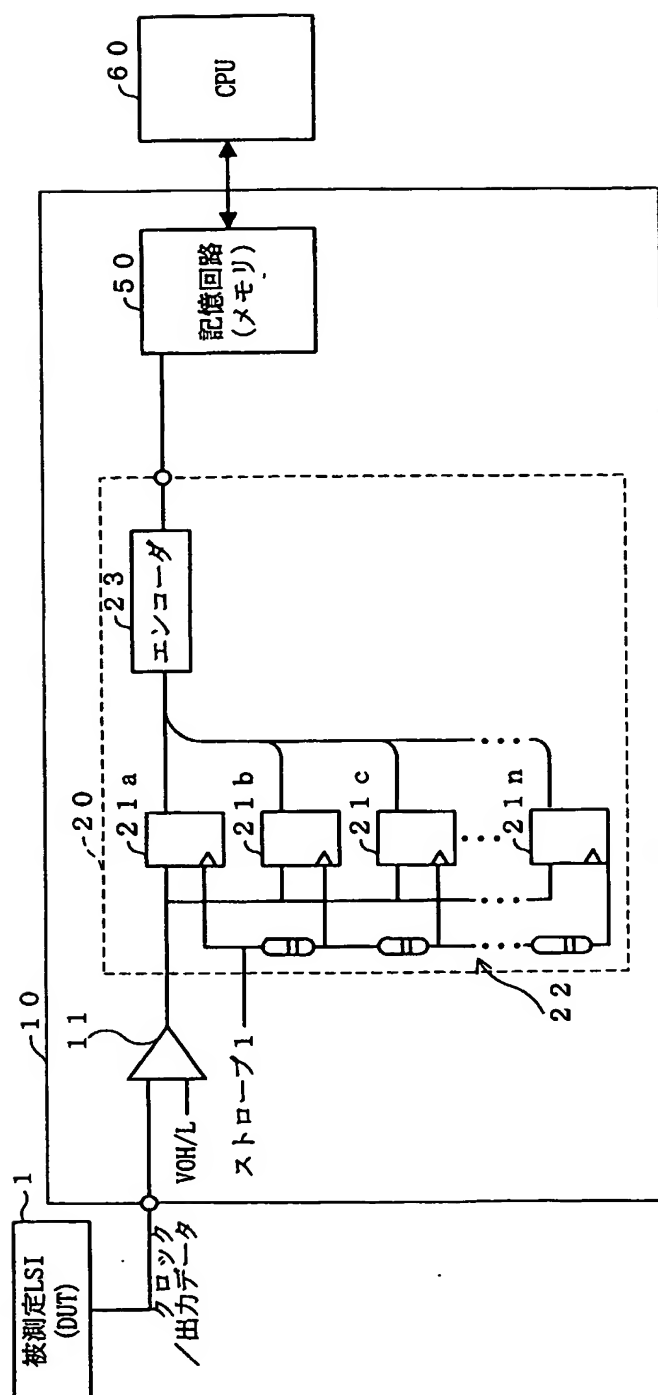
3 / 11

第3図



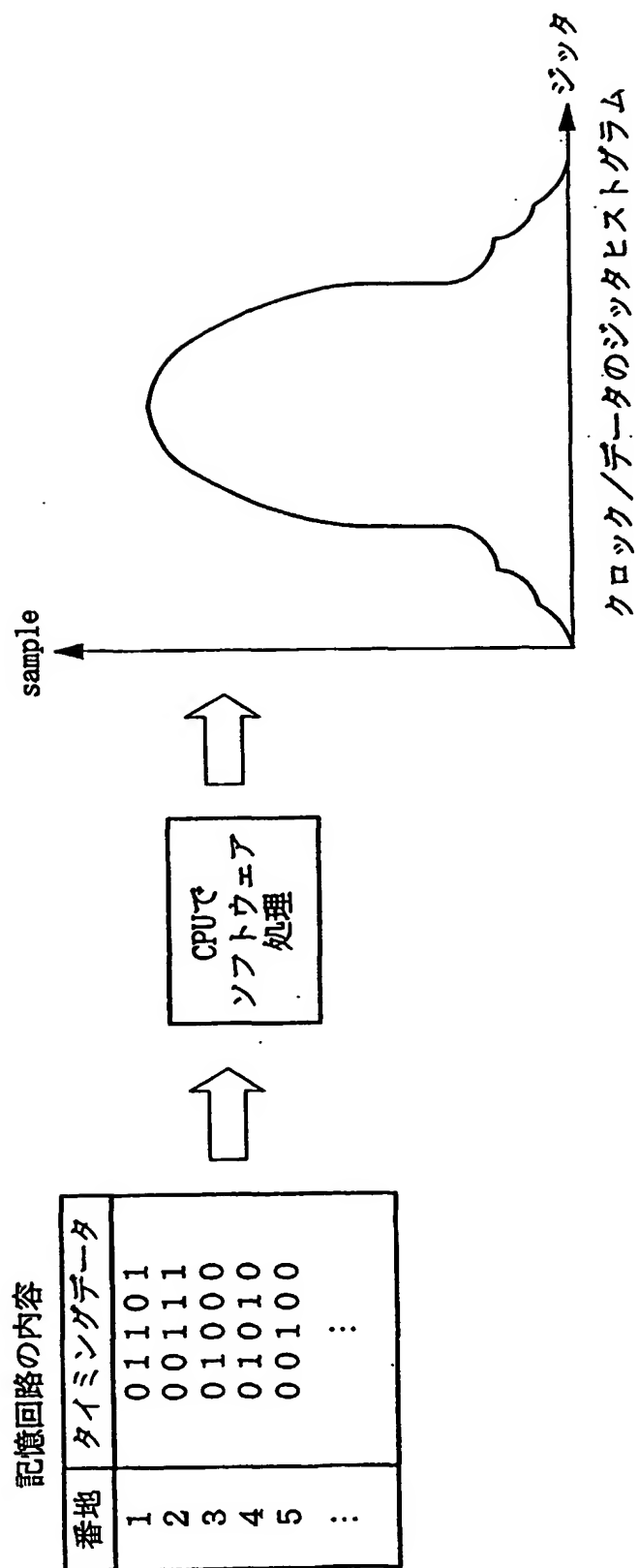
4 / 11

第4図



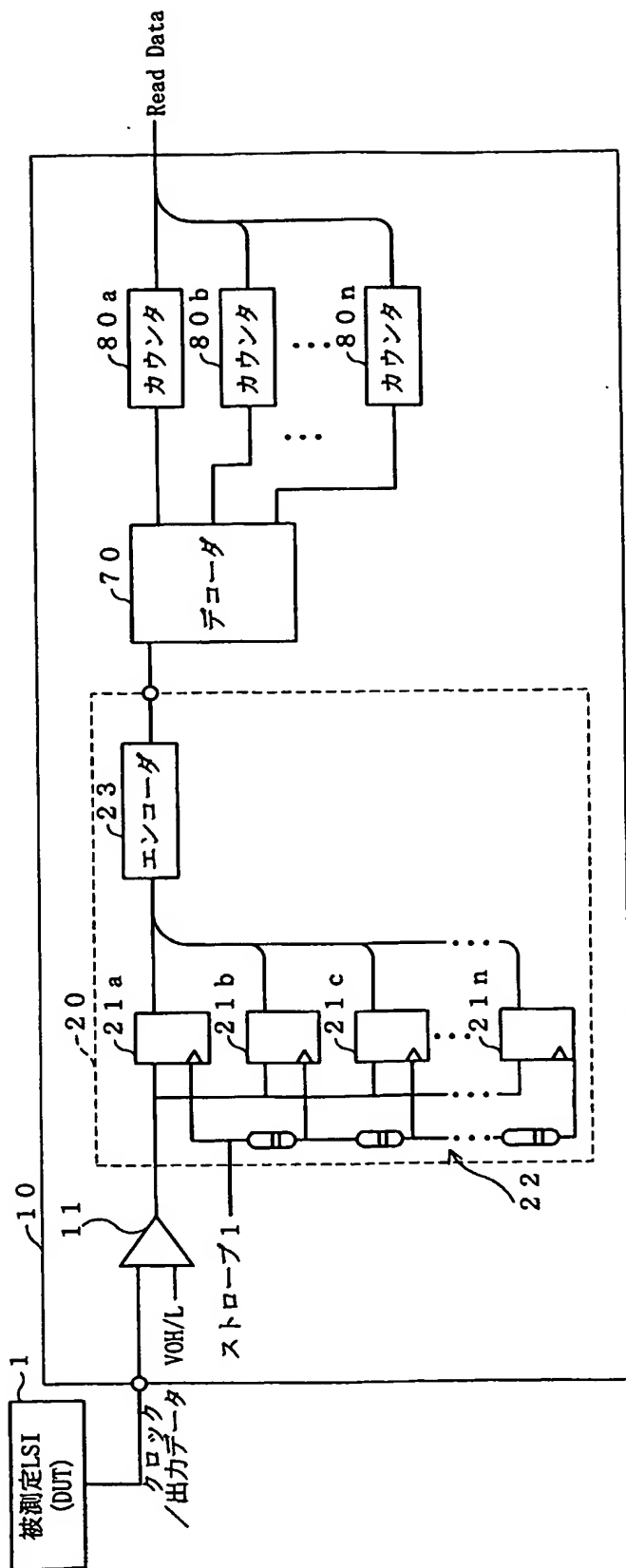
5 / 11

第5図

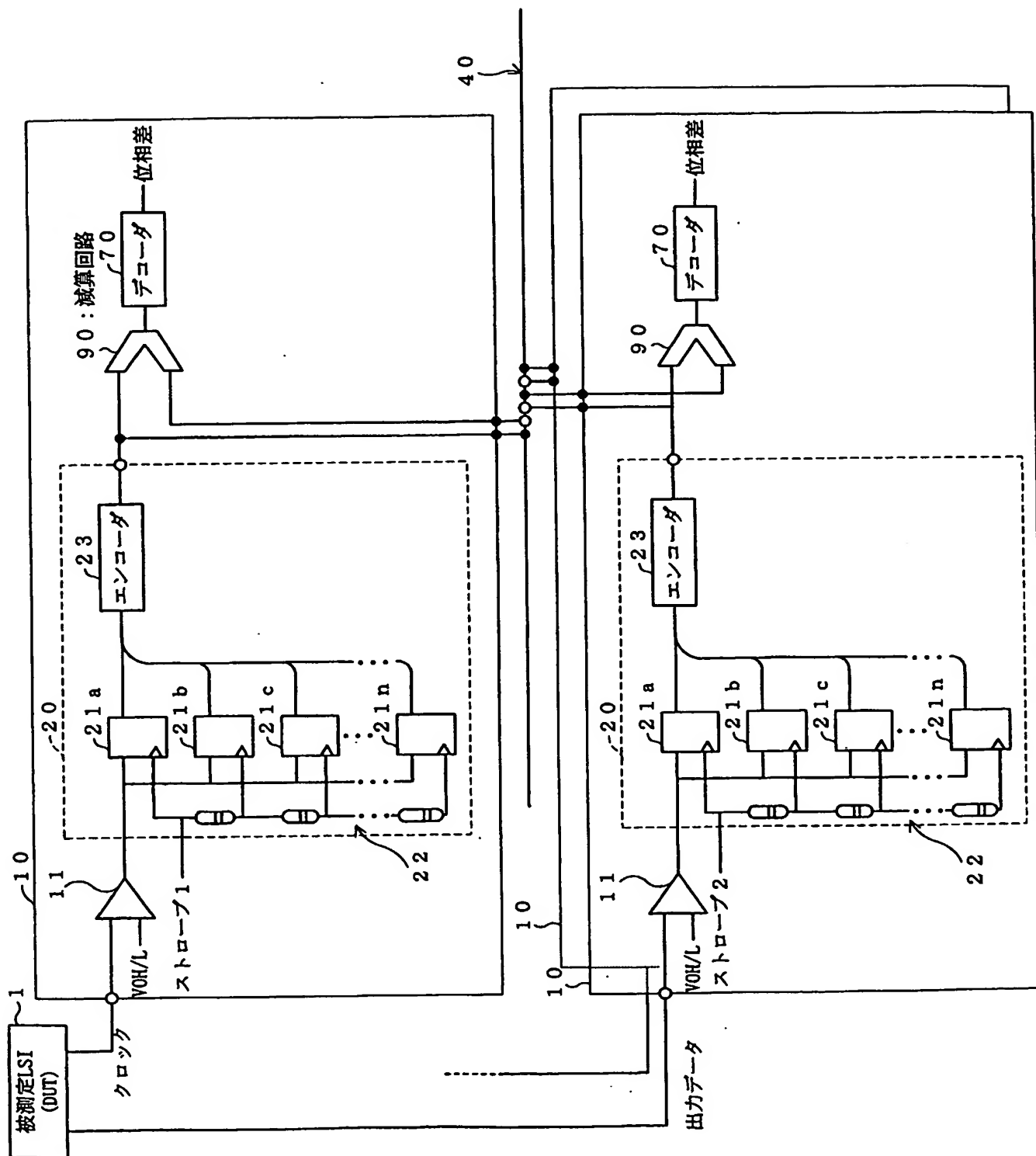


6 / 11

第6図

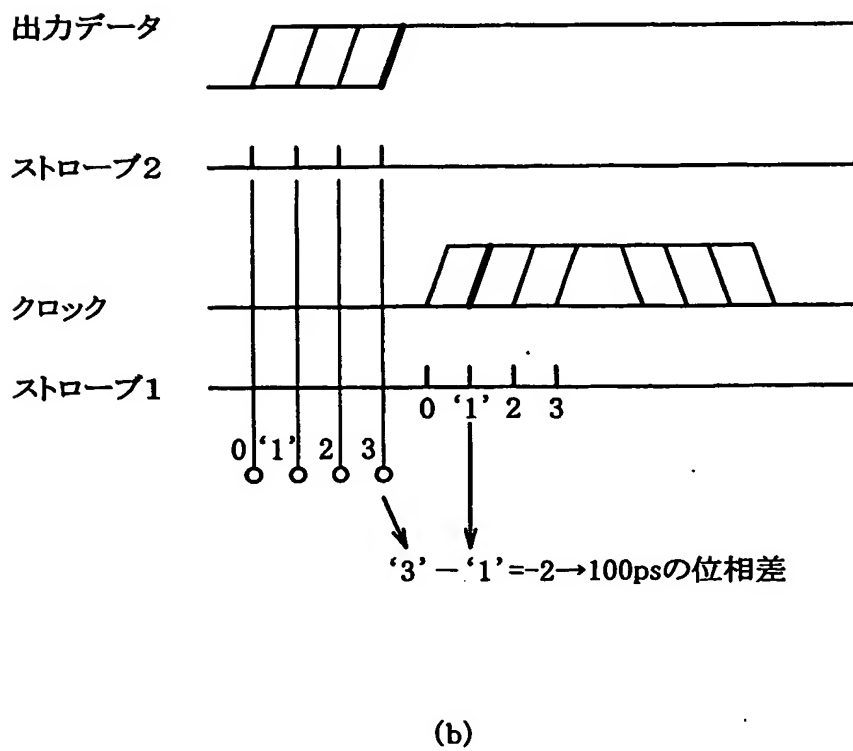
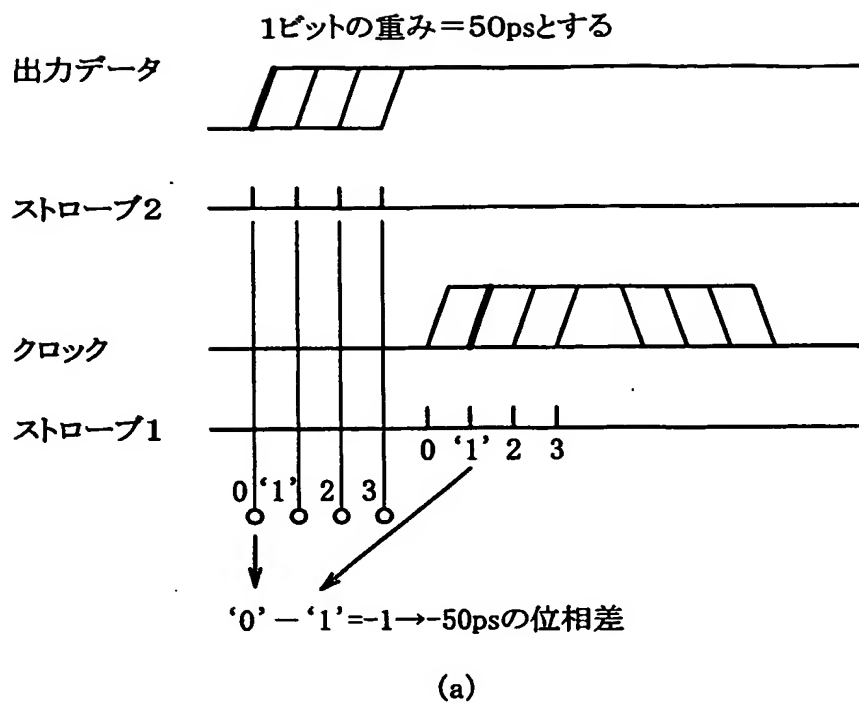


第7図

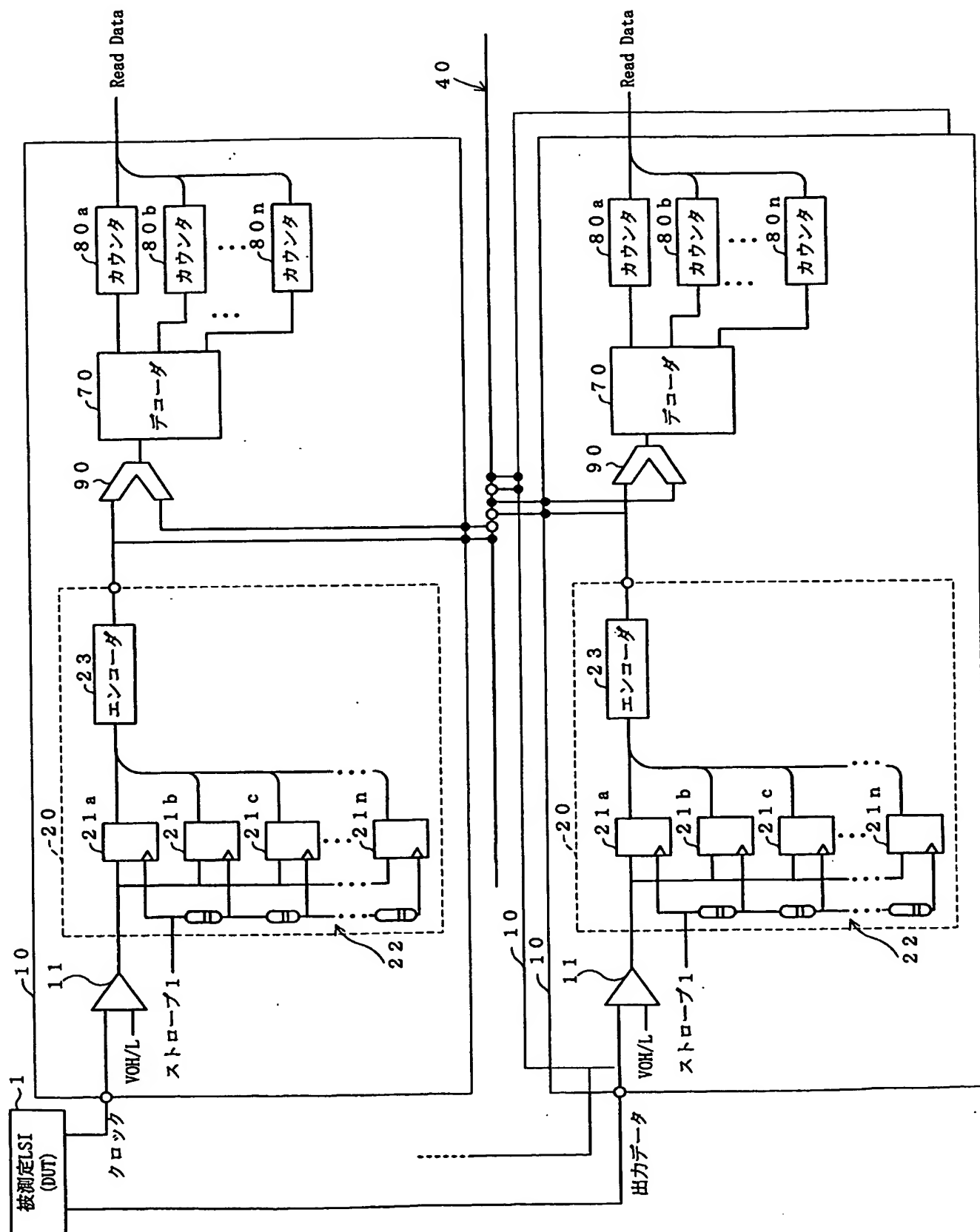


8 / 11

第 8 図

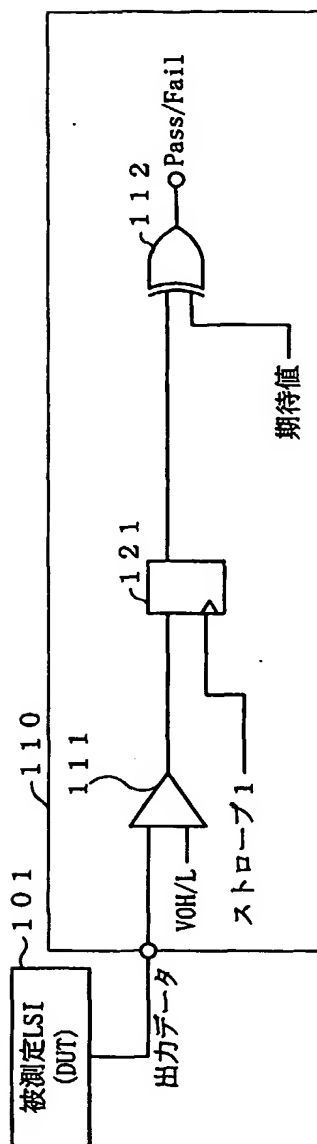


第9図



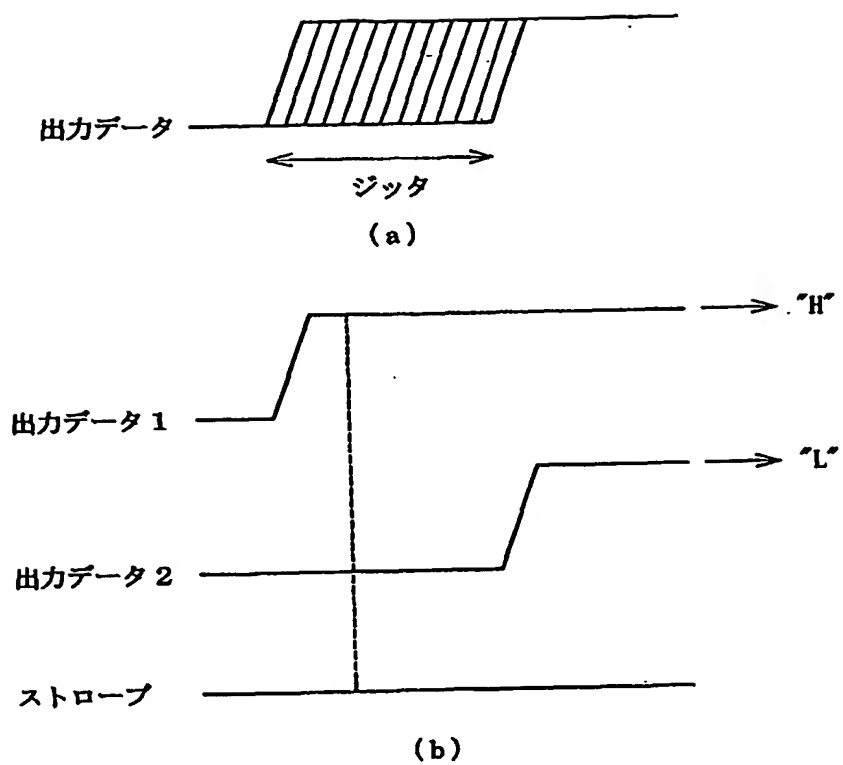
10/11

第10図



11/11

第11図



INTERNATIONAL SEARCH REPORT

International Application No.
PCT/JP03/00120

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G01R31/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G01R31/28, G01R25/00, G01R29/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 64-19827 A (Yokogawa-Hewlett-Packard, Ltd.), 23 January, 1989 (23.01.89), Full text; all drawings & DE 3853450 C & EP 297719 A & US 4813005 A & KR 9011035 Y & KR 9109087 B	1, 4
Y	JP 63-148176 A (Ando Electric Co., Ltd.), 21 June, 1988 (21.06.88), Full text; all drawings (Family: none)	1, 4
A	JP 56-16547 Y2 (Sharp Corp.), 17 April, 1981 (17.04.81), Full text; all drawings (Family: none)	1-4

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>
--	---

Date of the actual completion of the international search 01 April, 2003 (01.04.03)	Date of mailing of the international search report 15 April, 2003 (15.04.03)
--	---

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/JP03/00120

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 97/4327 A1 (Advantest Corp.), 06 February, 1997 (06.02.97), Full text; all drawings & US 5886536 A & DE 19581748 T	1-4
A	JP 62-11181 A (NEC Corp.), 20 January, 1987 (20.01.87), Full text; all drawings (Family: none)	1-4
Y	JP 2000-314767 A (Asahi Kasei Microsystems Co., Ltd.), 14 November, 2000 (14.11.00), Full text; all drawings (Family: none)	5-8
Y	JP 62-133360 A (Tektronix Inc.), 16 June, 1987 (16.06.87), Full text; all drawings & EP 225705 A & US 4876655 A	5-8
X	JP 1-164118 A (NEC Corp.), 28 June, 1989 (28.06.89), Full text; all drawings (Family: none)	9,12

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/JP03/00120

Box I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions of claims 1-4 relate to a tester for comparing an output signal output from the LSI to be measured as data to be measured to predetermined expected value data so as to decide whether the LSI to be measured is good.

The inventions of claims 5-8 relate to a jitter analyzer for acquiring and analyzing distribution of jitter of the output signal output from the LSI to be measured.

The inventions of claims 9-12 relate to a phase difference detector for detecting a phase difference between the first signal and the second signal output from the LSI to be measured.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl⁷ G01R 31/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl⁷ G01R 31/28
 G01R 25/00
 G01R 29/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国実用新案登録公報 1996-2003年
 日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 64-19827 A (横河・ヒューレット・パツカード株式会社) 1989. 01. 23, 全文, 全図 & DE 3853450 C & EP 297719 A & US 4813005 A & KR 9011035 Y & KR 9109087 B	1, 4
Y	JP 63-148176 A (安藤電気株式会社) 1988. 06. 21, 全文, 全図 (ファミリーなし)	1, 4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

01. 04. 03

国際調査報告の発送日

15.04.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

下中 義之



2S

8203

電話番号 03-3581-1101 内線 3256

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 56-16547 Y2 (シャープ株式会社) 1981. 04. 17, 全文, 全図 (ファミリーなし)	1-4
A	WO 97/4327 A1 (株式会社アドバンテスト) 1997. 02. 06, 全文, 全図 & US 5886536 A & DE 19581748 T	1-4
A	JP 62-11181 A (日本電気株式会社) 1987. 01. 20, 全文, 全図 (ファミリーなし)	1-4
Y	JP 2000-314767 A (旭化成マイクロシステム株式会社) 2000. 11. 14, 全文, 全図 (ファミリーなし)	5-8
Y	JP 62-133360 A (テクトロニクス・インコーポレイテッド) 1987. 06. 16, 全文, 全図 & EP 225705 A & US 4876655 A	5-8
X	JP 1-164118 A (日本電気株式会社) 1989. 06. 28, 全文, 全図 (ファミリーなし)	9, 12

第Ⅰ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項(PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅱ欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1-4は、被測定LSIから出力される出力信号を被測定データとして所定の期待値データと比較し、当該被測定LSIの良否を判定する試験装置に関するものである。
請求の範囲5-8は、被測定LSIから出力される出力信号のジッタの分布を取得、解析するジッタアナライザに関するものである。
請求の範囲9-12は、被測定LSIから出力される第一信号と第二信号の位相差を検出する位相差検出器に関するものである。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。